

تراشه های منطقی برنامه پذیر

مقایسه ASIC و FPLD

• گزینه‌های تولید محصول دیجیتال با کاربرد خاص:

□ طراحی ASIC و ارسال به کارخانه ساخت تراشه

□ طراحی FPLD و خرید تراشه

مقایسه FPLD و ASIC

- زمان طراحی و پیاده‌سازی:

ASIC □

- طراحی و شبیه‌سازی با ابزارها: چند هفته و ماه
- پیاده‌سازی: چند ماه

FPLD □

- طراحی و شبیه‌سازی با ابزارها: چند روز و هفته
- پیاده‌سازی: چند ثانیه و دقیقه

- نتیجه:

□ برای کاربردهای رقابتی: FPLD

مقایسه FPLD و ASIC

- سرعت کار مدار:

- FPLD:

- سویچ‌های قابل برنامه‌ریزی

- سیم‌های بیش از لزوم

- مدارهای برنامه‌پذیر

- در گذشته:

- ۱۰ برابر کندتر از ASIC

- اکنون:

- ۳ تا ۴ برابر

مقایسه FPLD و ASIC

• مساحت (چگالی) مدار: مقدار مدار منطقی در واحد سطح

□ FPLD:

- سویچ‌های قابل برنامه‌ریزی

- مدارهای برنامه‌پذیر

- حافظه نگهداری برنامه

□ ۲۰ تا ۴۰ برابر ASIC

مقایسه FPLD و ASIC

• توان مصرفی:

□ FPLD:

- حافظه نگهداری برنامه
- سویچ‌های قابل برنامه‌ریزی
- سیم‌های بیش از لزوم
- مدارهای برنامه‌پذیر

□ حدود ۱۰ برابر مصرف بیشتر از ASIC

• نتیجه:

□ کاربردهای باتری‌دار و همراه: ASIC بهتر

مقایسه FPLD و ASIC

- ساخت نمونه اولیه محصول:

- ☐ برای تست و ارزیابی محصول (تراشه در کنار سایر بخش‌ها)

- ☐ ASIC:

- چند ماه (اگر کار نکند یا بد کار کند، دوباره و چندباره)

- ☐ FPLD:

- به سرعت در آزمایشگاه (یا حداکثر پس از چند روز برای آماده شدن بورد)

- هزینه کم تکرار

- نتیجه:

- ☐ حتی در کاربردهای حساس به توان و سرعت، مرحله نمونه‌سازی با FPLD

مقایسه FPLD و ASIC

- هزینه آزمون:

- فرق آزمون (test) با درستی سنجی (verification)

ASIC □

- به ازای هر طرح، تست همه تراشه‌ها

- به ازای هر طرح، آزمون پذیر کردن

FPLD □

- همه تراشه‌ها تست شده‌اند

مقایسه FPLD و ASIC

- هزینه مهندسی غیر تکراری: مستقل از تعداد تراشه

ASIC □

- طراحی و درستی سنجی
- سیلیکون مصرفی
- ساخت نقاب‌های چینش
- بسته‌بندی
- آزمون

FPLD □

- طراحی و درستی سنجی

- نتیجه:

□ برای تعداد کم (تا چند هزار)، ASIC بسیار گران