



دانشکده مهندسی کامپیوتر

بسمه تعالی  
طراحی خودکار مدارهای دیجیتال  
نیمسال دوم ۱۳۹۴  
تمرین اول



دانشگاه صنعتی امیرکبیر

تاریخ تحویل ۱۳۹۴/۱۲/۱۶

- ۱- CPLD و FPGA ها را مقایسه کنید و بنویسید هر یک برای کدام دسته از کاربردها مناسب تر هستند.
- ۲- کاربردی مثال بزنید که با وجود تولید انبوه (چند میلیون) استفاده از FPGA نسبت به ASIC قابل توجه باشد.
- ۳- کد زیر را با استفاده از نرم افزار Modelsim اجرا کنید سپس آن را با استفاده از ISE نیز سنتز کنید و نتایج هر مرحله را گزارش دهید. (در صورت بروز هر گونه اشکال علت را توضیح دهید)

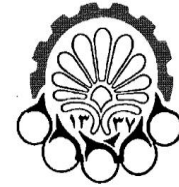
```
entity test is
port ( clk1 : in std_logic;
      clk2 : in std_logic;
      out1 : out std_logic_vector(7 downto 0)
    );
end test;
architecture RTL of test is

signal out2: std_logic_vector(7 downto 0);
begin

process(clk1)
begin
if(clk1'event and clk1='1') then
out2 <= "00000001";
end if;
end process;

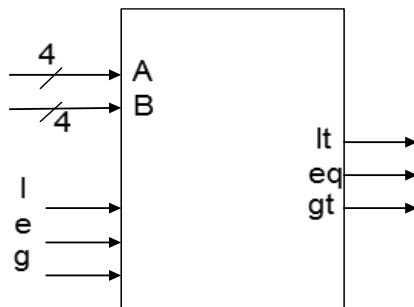
process(clk2)
begin
if(clk2'event and clk2='1') then
out2 <= "00000011" ;
end if;
end process;

end RTL;
```



۴- توابع زیر را با کد VHDL به صورت ساختاری و با فرض داشتن گیت‌های پایه و فلیپ فلاپ توصیف کنید.

الف) مقایسه کننده ۴ بیتی مانند شکل مقابل



ب) مقایسه کننده ۱۶ بیتی با استفاده از الف

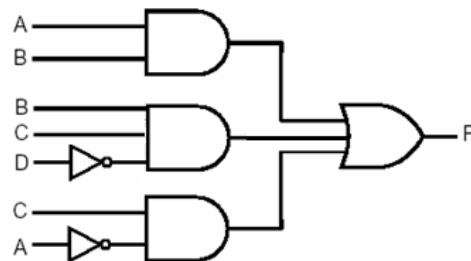
ج) 2-to-4 Decoder

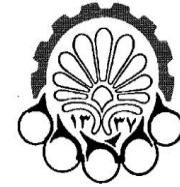
د) 4bit Carry-look ahead Adder

ه) 4bit Counter

۵- الف) حداقل تعداد LUTهای سه ورودی لازم برای پیاده‌سازی مدار زیر چقدر است؟

ب) مدار زیر را به صورت ساختاری در سطح گیت با کد VHDL توصیف کنید.





۶- توابع زیر را با استفاده از Logic Block پیاده‌سازی کنید. (محتوای LUTها و سیگنال‌های کنترلی را مشخص کنید)

$$f(a, b, c, d) = \sum m(0, 3, 4, 11, 14)$$

$$f(e, f, g) = \sum m(2, 4, 6)$$

