

# تراشه های تجاری

# تراشه‌های برنامه‌پذیر تجاری

## • هدف:

- ☐ آشنایی کلی و مقدماتی با تراشه‌های موجود
- ☐ مشاهده امکانات تراشه‌ها
- ☐ تسهیل انتخاب بین آنها
- ☐ کمک به مطالعه داده‌برگه‌ها و کتابچه‌های راهنما

# تراشه‌های برنامه‌پذیر تجاری

❑ معماری کلی، بسیار شبیه

- حتی در تراشه‌های دو خانواده مختلف با نام متفاوت

- و حتی دو شرکت مختلف

❑ تفاوت‌ها:

- جنبه‌هایی که بحث شد

❑ بازار متغیر:

- هر دو سال یک یا چند نوع تراشه جدید

- توقف تولید قبلی‌ها

- ← مراقبت هنگام انتخاب تراشه

❑ اصول حاکم ثابت مانده

- ← آشنایی با اصول:

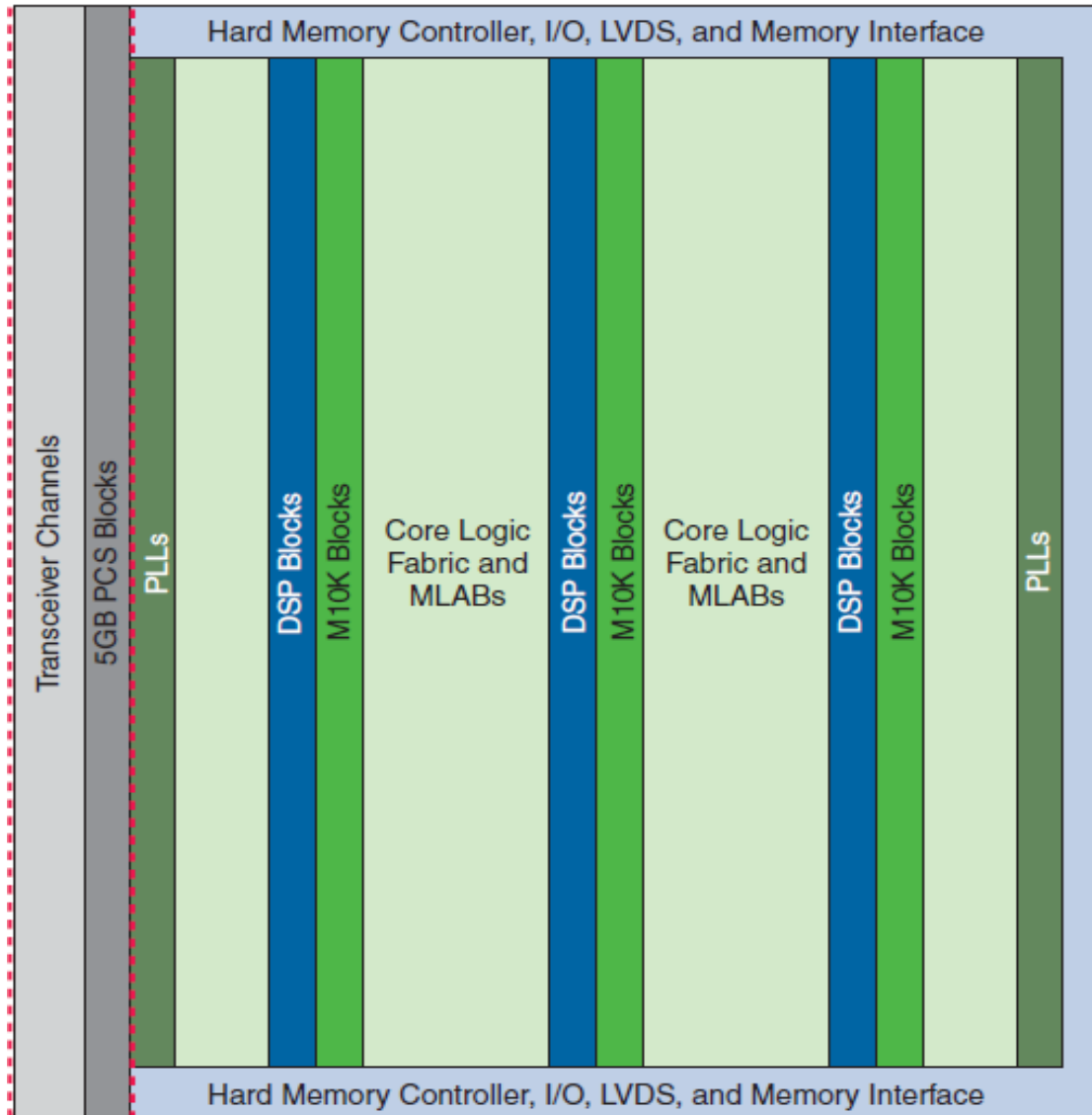
- ← آشنایی سریع با محصولات جدید

# Cyclone

Lowest Cost and Power FPGAs



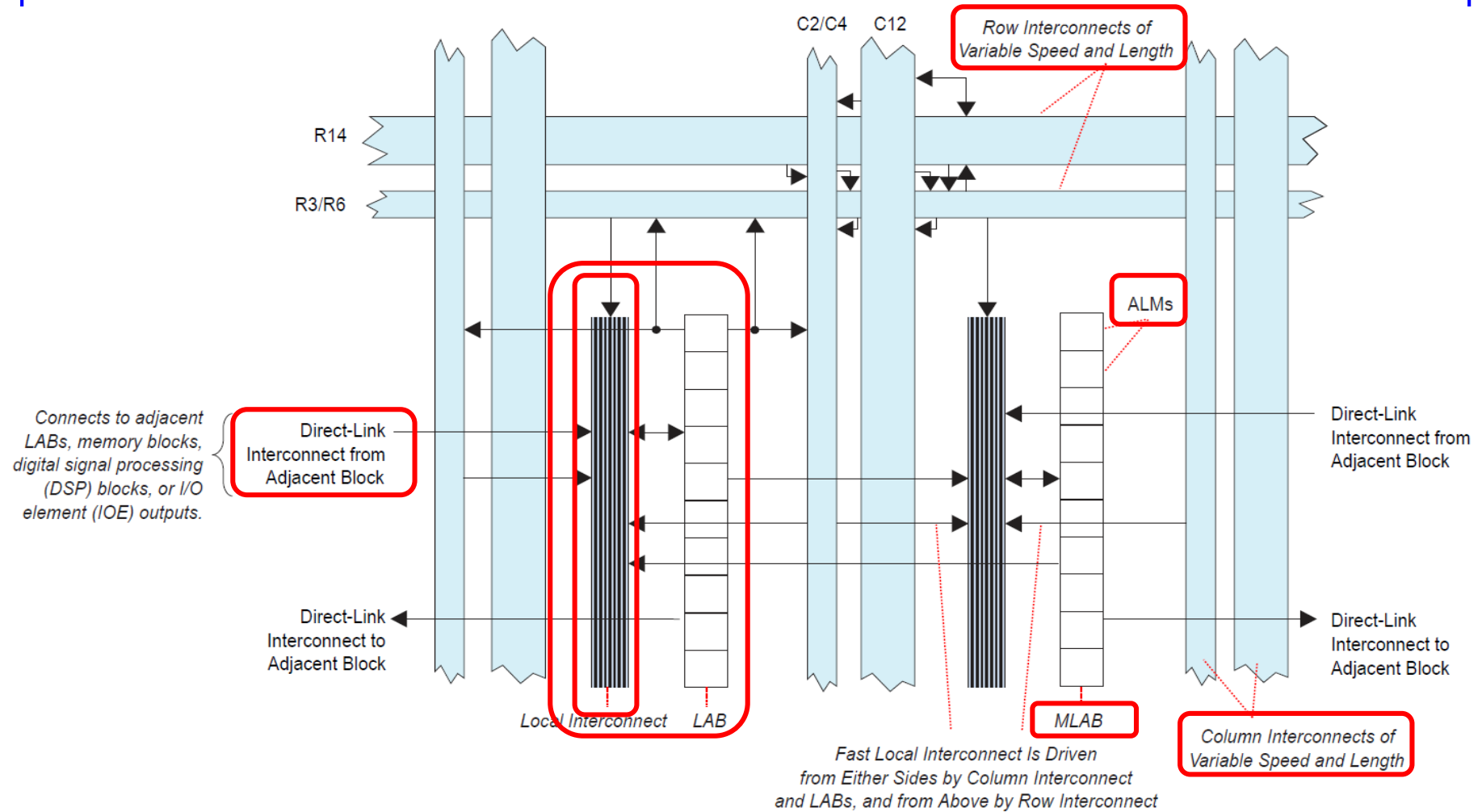
# Cyclone



# Cyclone V

گروه	مشخصات
سری E	فقط شامل بلوک های منطقی
سری GX	شامل بلوک های منطقی و بلوک های فرستنده/گیرنده ی 3.125 گیگا بیت در ثانیه
سری GT	شامل بلوک های منطقی و بلوک های فرستنده/گیرنده ی 6.143 گیگا بیت در ثانیه
سری SE	بلوک های منطقی و پردازنده ی سخت
سری SX	بلوک های منطقی و پردازنده ی سخت و بلوک های فرستنده/گیرنده ی 3.125 گیگابیت در ثانیه
سری ST	بلوک های منطقی و پردازنده ی سخت و بلوک های فرستنده/گیرنده ی 5 گیگابیت در ثانیه

# بلوک‌های منطقی و معماری اتصالات



# بلوک‌های منطقی و معماری اتصالات

## • معماری اتصالات:

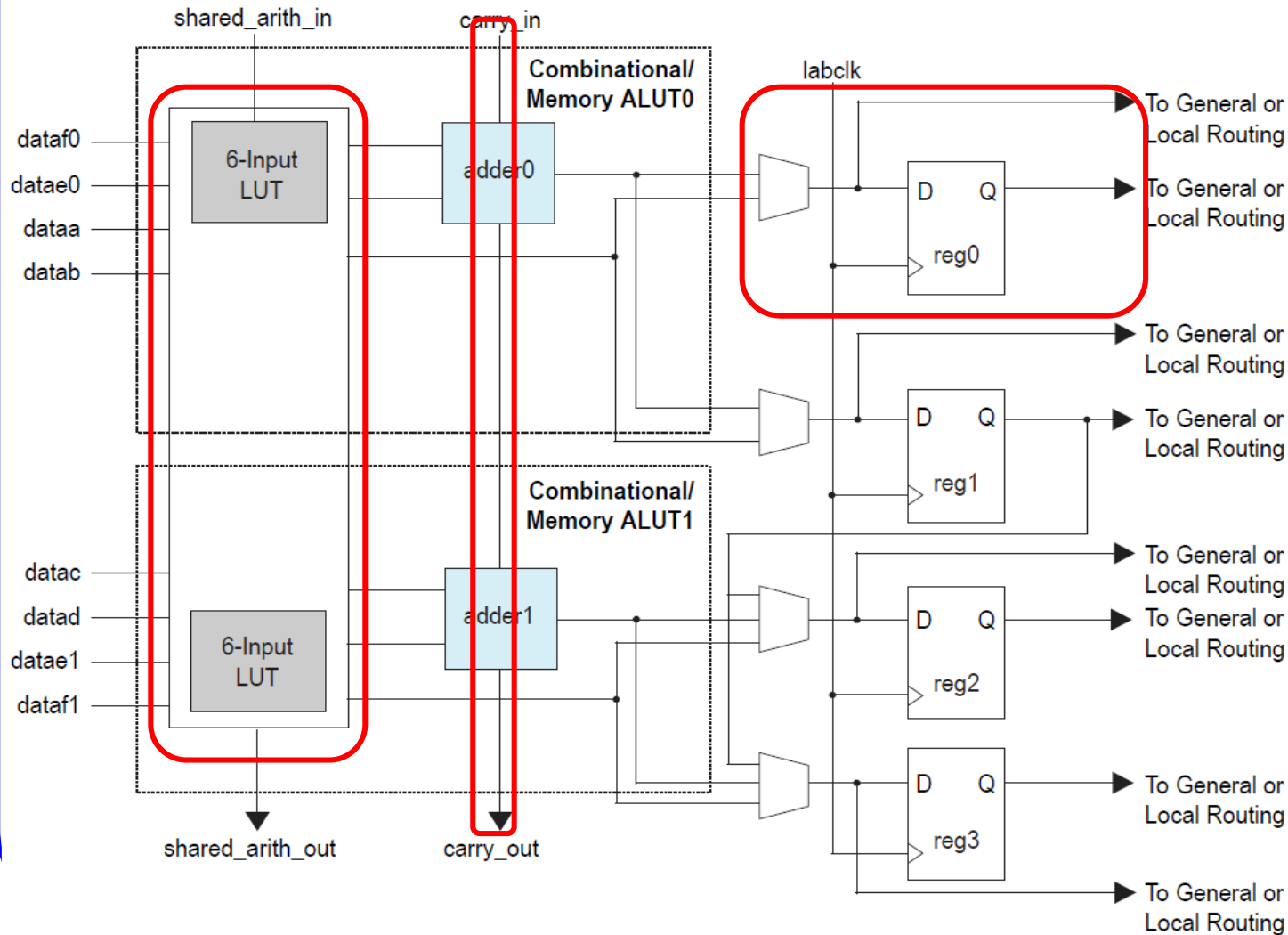
سلسله‌مراتبی ☐

دوسطحی ☐



# مدار ALM

## Adaptive Logic Module •



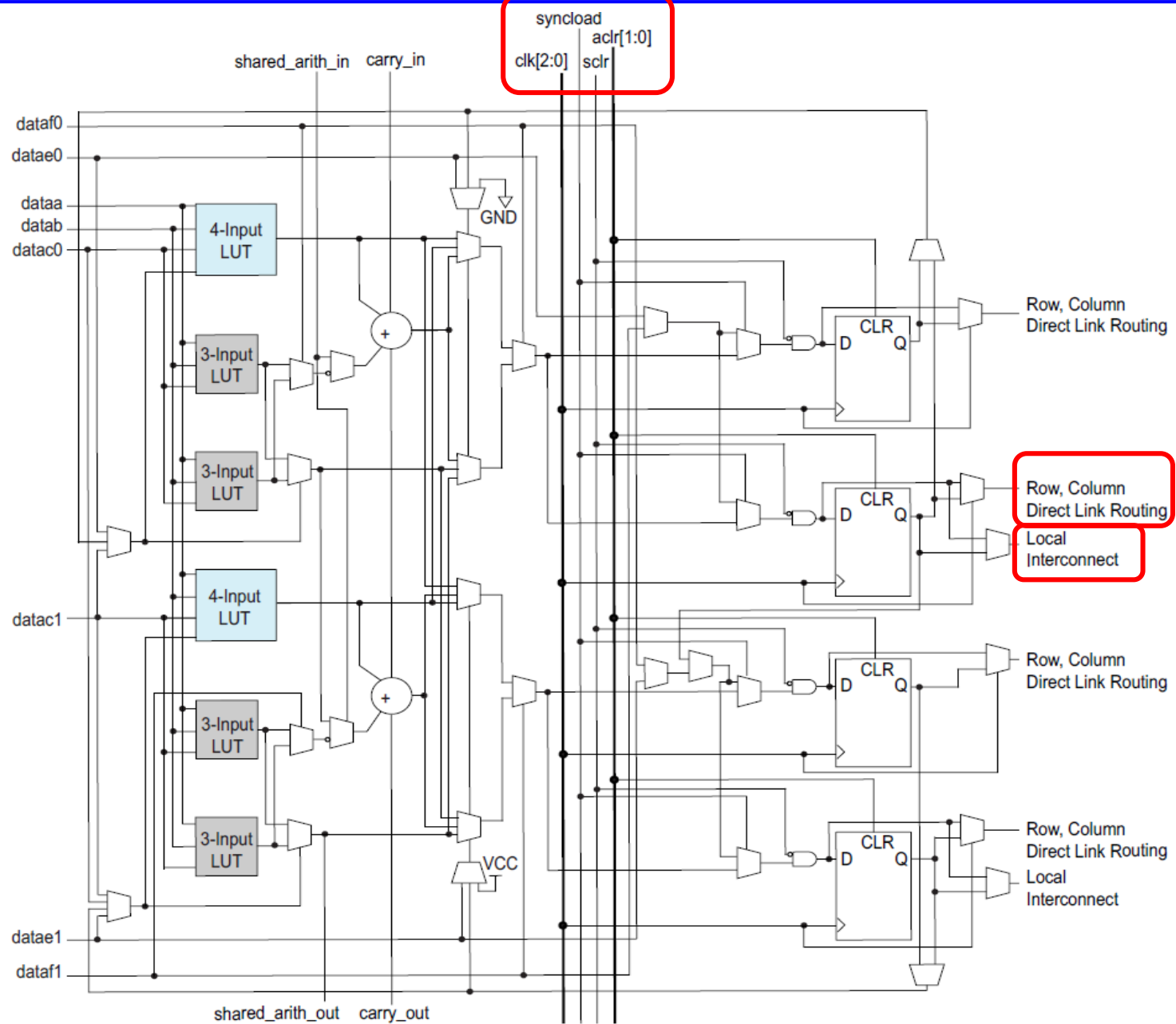
# مدار ALM

- **تطبیق پذیری ALM:**

- ☐ یک LUT ۶ ورودی

- ☐ دو LUT ۴ ورودی

- ☐ یک LUT ۴ ورودی + دو LUT ۳ ورودی



# Cyclone V

تخمین ظرفیت  
منطقه بر حسب  
تعداد LUT چهار  
ورودی

خانواده (سری)	نام تراشه	KLEs	ALMs	ثبات ها
سایکلون 5 سری E	5CEA2	25	9,434	37,736
	5CEA4	49	18,480	73,920
	5CEA5	77	29,080	116,320
	5CEA7	149.5	56,480	225,920
	5CEA9	301	113,560	454,240
سایکلون 5 سری GX	5CGXC3	25	11,900	47,600
	5CGXC4	50	18,868	75,472
	5CGXC5	75	29,080	116,320
	5CGXC7	150	56,480	225,920
	5CGXC9	300	113,560	454,240
سایکلون 5 سری GT	5CGTD5	77	29,080	116,320
	5CGTD7	149.5	56,480	225,920
	5CGTD9	301	113,560	454,240

هر  
ALM،  
چهار FF

# حافظه در Cyclone

• دو نوع:

## ❑ بلوک‌های M10K:

– ۸ کیلوبیت:

– هر ۴ بیت: ۱ بیت توازن (parity)

– ۱۰ کیلوبیت داده

– Single/dual port

– (در Cyclone IV):

– بلوک‌های M9K

– بلوک‌های M144K

## ❑ MLAB:

– 640-bit dual port RAM

– هر ALM: 32 x 2

– برای shift register و FIFO کوچک

پیکربندی (تعداد بیت × تعداد کلمات)
256 × 40
256 × 32
512 × 20
512 × 16
1k × 10
1k × 8
2k × 5
2k × 4
4k × 2
8k × 1

# Cyclone V

Family	Device	Core Fabric						Interconnect			Hard IP	
		KLEs	Block Memory (Kb)	MLAB (Kb)	DSP Blocks	18x18 Mults	PLLs	XCVRs (3G, 5G)	GPIO	LVDS	PCIe Blocks	Memory Controllers
Cyclone V E	5CEA2	25	1,560	Yes	39	78	4	—	300	48	—	1
	5CEA5	48	3,120	Yes	78	156	4	—	300	100	—	1
	5CEA8	75	4,620	Yes	132	264	4	—	360	100	—	2
	5CEB5	150	6,160	Yes	220	440	4	—	488	122	—	2
	5CEB9	300	12,760	Yes	406	812	4	—	488	122	—	2
Cyclone V GX	5CGXC3	25	1,200	Yes	40	80	5	3, 0	194	48	1	1
	5CGXC4	50	2,920	Yes	70	140	6	6, 0	360	100	1	2
	5CGXC5	75	4,620	Yes	132	264	6	6, 0	360	100	1	2
	5CGXC7	150	6,160	Yes	220	440	7	9, 0	488	122	1	2
	5CGXC9	300	12,760	Yes	406	812	8	12, 0	688	122	1	2
Cyclone V GT	5CGTD3	75	4,620	Yes	132	264	6	0, 6	360	100	2	2
	5CGTD5	150	6,160	Yes	220	440	7	0, 9	488	122	2	2
	5CGTD8	300	12,760	Yes	406	812	8	0, 12	688	122	2	2

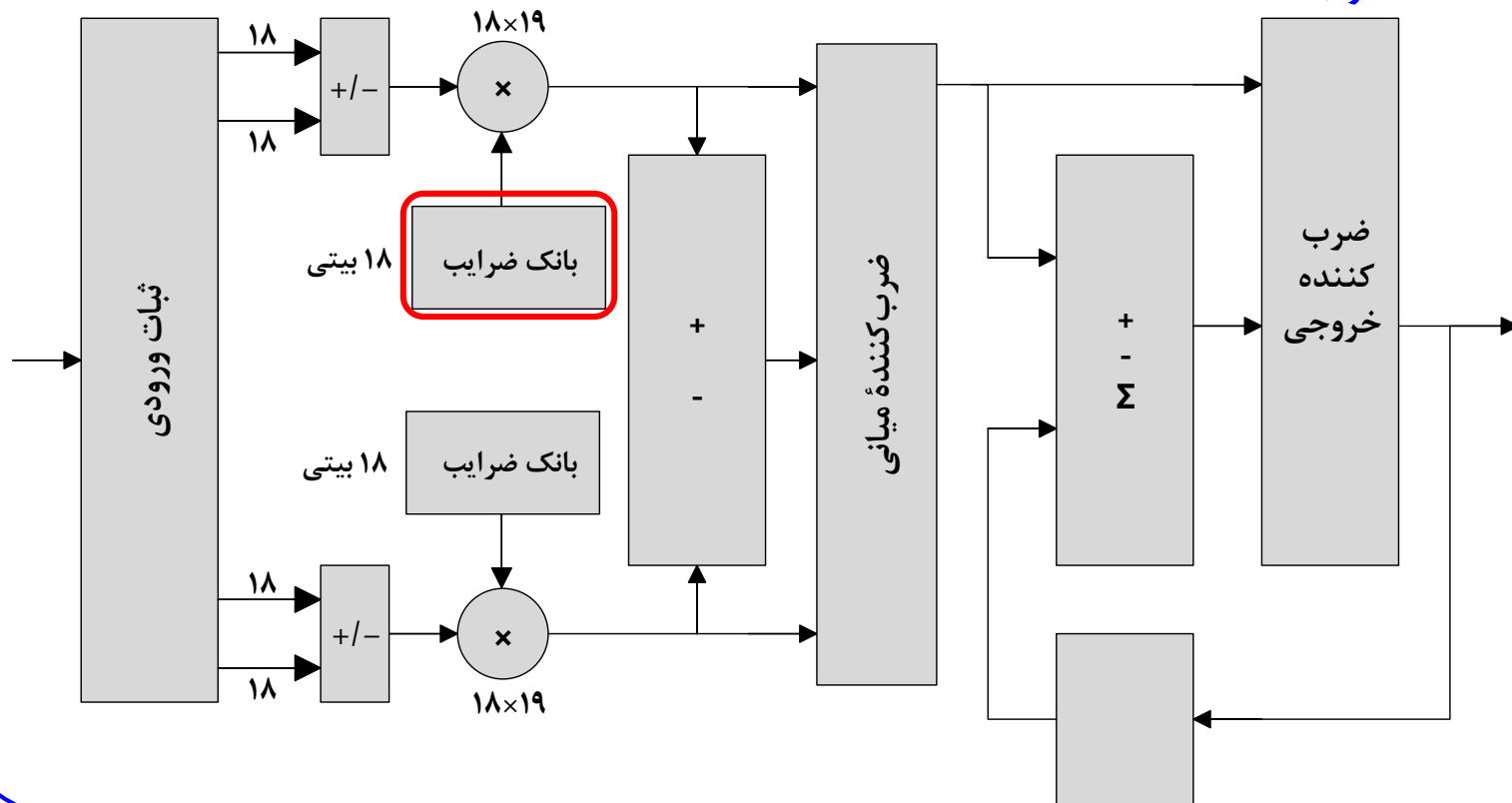
# بلوک‌های محاسباتی

## • DSP Block:

❑ دو ضرب  $18 \times 18$

❑ یک ضرب  $27 \times 27$

❑ سه ضرب  $9 \times 9$



# Cyclone V

Family	Device	Core Fabric						Interconnect			Hard IP	
		KLEs	Block Memory (Kb)	MLAB (Kb)	DSP Blocks	18x18 Mults	PLLs	XCVRs (3G, 5G)	GPIO	LVDS	PCIe Blocks	Memory Controllers
Cyclone V E	5CEA2	25	1,560	Yes	39	78	4	—	300	48	—	1
	5CEA5	48	3,120	Yes	78	156	4	—	300	100	—	1
	5CEA8	75	4,620	Yes	132	264	4	—	360	100	—	2
	5CEB5	150	6,160	Yes	220	440	4	—	488	122	—	2
	5CEB9	300	12,760	Yes	406	812	4	—	488	122	—	2
Cyclone V GX	5CGXC3	25	1,200	Yes	40	80	5	3, 0	194	48	1	1
	5CGXC4	50	2,920	Yes	70	140	6	6, 0	360	100	1	2
	5CGXC5	75	4,620	Yes	132	264	6	6, 0	360	100	1	2
	5CGXC7	150	6,160	Yes	220	440	7	9, 0	488	122	1	2
	5CGXC9	300	12,760	Yes	406	812	8	12, 0	688	122	1	2
Cyclone V GT	5CGTD3	75	4,620	Yes	132	264	6	0, 6	360	100	2	2
	5CGTD5	150	6,160	Yes	220	440	7	0, 9	488	122	2	2
	5CGTD8	300	12,760	Yes	406	812	8	0, 12	688	122	2	2



# پردازنده

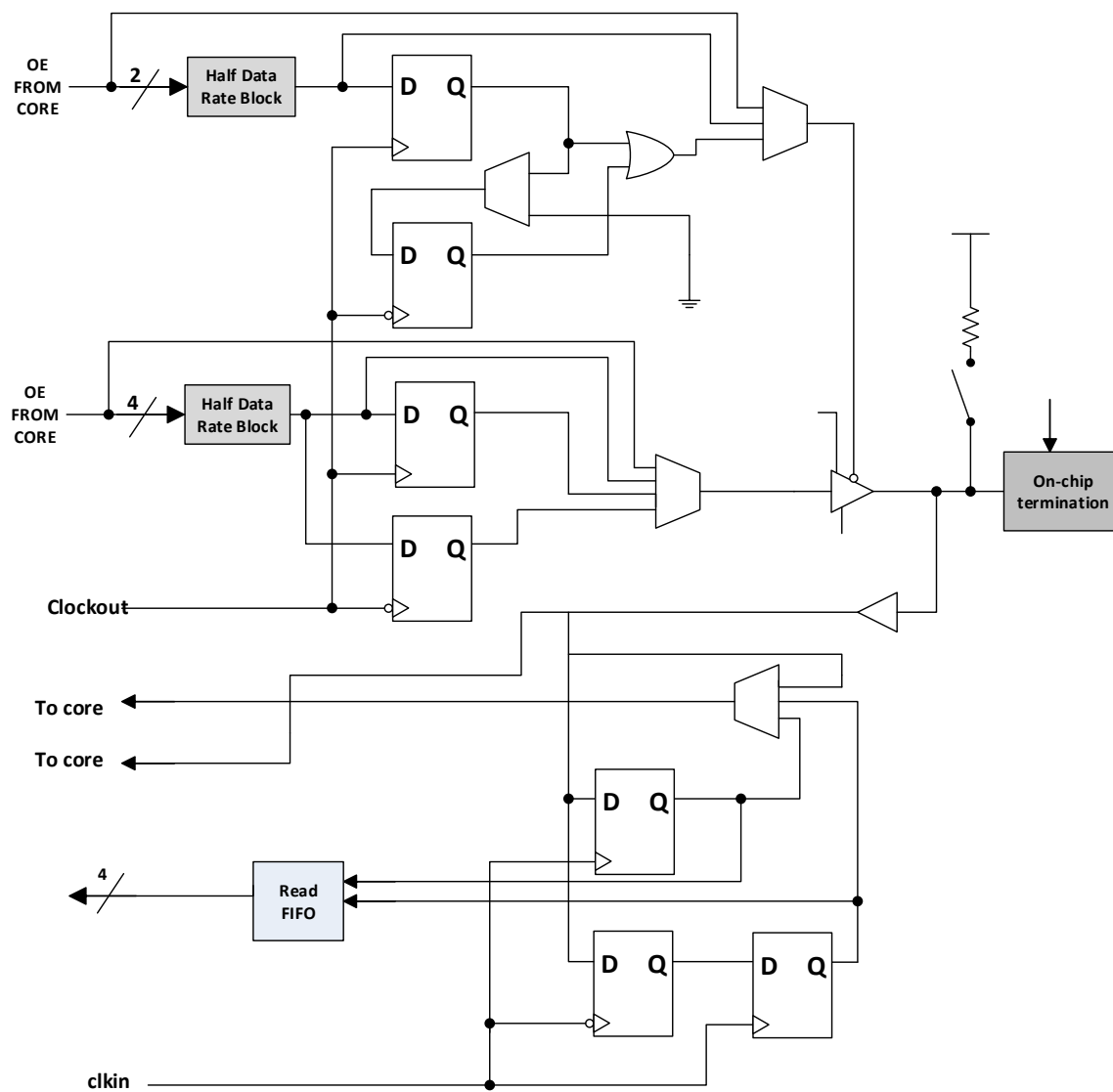
## • پردازندهٔ سخت:

### ARM □

- بلوک‌های واسط
- کنترل‌کنندهٔ حافظه
- حافظهٔ نهان
- واحد ممیز شناور
- تک هسته‌ای یا دوهسته‌ای
- ارتباط با بلوک‌های منطقی: باس آمبا

Device	5CSEA2	5CSEA4	5CSEA5	5CSEA6
LEs (K)	25	40	85	110
Adaptive logic modules (ALMs)	9,434	15,094	32,075	41,509
M10K memory blocks	140	224	397	514
M10K memory (Kb)	1,400	2,240	3,972	5,140
MLABs (Kb)	138	220	480	621
18-bit x 19-bit multipliers	72	116	174	224
Variable-precision DSP blocks <a href="#">(1)</a>	36	58	87	112
FPGA PLLs	4	5	6	6
HPS PLLs	3	3	3	3
Maximum FPGA user I/Os	145	145	288	288
Maximum HPS I/Os	188	188	188	188
FPGA hard memory controllers	1	1	1	1
HPS hard memory controllers	1	1	1	1
Processor cores (ARM Cortex™-A9 MPCore™)	Single or dual	Single or dual	Single or dual	Single or dual

# بلوک‌های ورودی-خروجی



## بلوک‌های ورودی-خروجی

Device	5CSEA2	5CSEA4	5CSEA5	5CSEA6
LEs (K)	25	40	85	110
Adaptive logic modules (ALMs)	9,434	15,094	32,075	41,509
M10K memory blocks	140	224	397	514
M10K memory (Kb)	1,400	2,240	3,972	5,140
MLABs (Kb)	138	220	480	621
18-bit x 19-bit multipliers	72	116	174	224
Variable-precision DSP blocks <a href="#">(1)</a>	36	58	87	112
FPGA PLLs	4	5	6	6
HPS PLLs	3	3	3	3
Maximum FPGA user I/Os	145	145	288	288
Maximum HPS I/Os	188	188	188	188
FPGA hard memory controllers	1	1	1	1
HPS hard memory controllers	1	1	1	1
Processor cores (ARM Cortex™-A9 MPCore™)	Single or dual	Single or dual	Single or dual	Single or dual

HPS: Hard Processor System

# مدیریت کلاک

## • بلوک‌های PLL:

□ هر کدام ۹ خروجی:

- فرکانس‌های با

ضریب صحیح و

کسری

- با شیف‌ت فاز

- Clock  
deskew

- Jitter  
attenuation

Family	Device	Core Fabric					
		KLEs	Block Memory (Kb)	MLAB (Kb)	DSP Blocks	18x18 Mults	PLLs
Cyclone V E	5CEA2	25	1,560	Yes	39	78	4
	5CEA5	48	3,120	Yes	78	156	4
	5CEA8	75	4,620	Yes	132	264	4
	5CEB5	150	6,160	Yes	220	440	4
	5CEB9	300	12,760	Yes	406	812	4
Cyclone V GX	5CGXC3	25	1,200	Yes	40	80	5
	5CGXC4	50	2,920	Yes	70	140	6
	5CGXC5	75	4,620	Yes	132	264	6
	5CGXC7	150	6,160	Yes	220	440	7
	5CGXC9	300	12,760	Yes	406	812	8
Cyclone V GT	5CGTD3	75	4,620	Yes	132	264	6
	5CGTD5	150	6,160	Yes	220	440	7
	5CGTD8	300	12,760	Yes	406	812	8

# فرستنده-گیرنده گیگابیتی

## • بلوک‌های XCVR:

Family	Device	Core Fabric						Interconnect			Hard IP	
		KLEs	Block Memory (Kb)	MLAB (Kb)	DSP Blocks	18x18 Mults	PLLs	XCVRs (3G, 5G)	GPIO	LVDS	PCIe Blocks	Memory Controllers
Cyclone V E	5CEA2	25	1,560	Yes	39	78	4	—	300	48	—	1
	5CEA5	48	3,120	Yes	78	156	4	—	300	100	—	1
	5CEA8	75	4,620	Yes	132	264	4	—	360	100	—	2
	5CEB5	150	6,160	Yes	220	440	4	—	488	122	—	2
	5CEB9	300	12,760	Yes	406	812	4	—	488	122	—	2
Cyclone V GX	5CGXC3	25	1,200	Yes	40	80	5	3, 0	194	48	1	1
	5CGXC4	50	2,920	Yes	70	140	6	6, 0	360	100	1	2
	5CGXC5	75	4,620	Yes	132	264	6	6, 0	360	100	1	2
	5CGXC7	150	6,160	Yes	220	440	7	9, 0	488	122	1	2
	5CGXC9	300	12,760	Yes	406	812	8	12, 0	688	122	1	2
Cyclone V GT	5CGTD3	75	4,620	Yes	132	264	6	0, 6	360	100	2	2
	5CGTD5	150	6,160	Yes	220	440	7	0, 9	488	122	2	2
	5CGTD8	300	12,760	Yes	406	812	8	0, 12	688	122	2	2

# **Stratix Family (Altera FPGA)**

# Stratix Family

- ☐ معماری بلوک‌های منطقی
- ☐ معماری اتصالات
- ☐ بلوک‌های محاسباتی
- ☐ بلوک‌های حافظه
- ☐ بلوک‌های ورودی-خروجی
- ☐ بلوک‌های فرستنده-گیرنده گیگابیتی

مشابه سایکلون



## تفاوت خانواده‌های سایکلون و استراتیکس

خانواده‌ی استراتیکس (مزایا)	خانواده‌ی سایکلون (مزایا)
پهنای باند بالاتر	قیمت پایین‌تر
مقدار مدار منطقی بیشتر	توان مصرفی کمتر
کارایی (سرعت) بالاتر	

# Stratix 10

Stratix 10 Product Line	GX 500 SX 500	GX 650 SX 650	GX 850 SX 850	GX 1100 SX 1100	GX 1650 SX 1650	GX 2100 SX 2100	GX 2500 SX 2500	GX 2800 SX 2800	GX 4500 SX 4500	GX 5500 SX 5500
<b>Equivalent LEs<sup>1</sup></b>	484,000	646,000	841,000	1,092,000	1,624,000	2,005,000	2,422,000	2,753,000	4,463,000	5,510,000
<b>Adaptive Logic Modules (ALMs)</b>	164,160	218,880	284,960	370,080	550,540	679,680	821,150	933,120	1,512,820	1,867,680
<b>ALM Registers</b>	656,640	875,520	1,139,840	1,480,320	2,202,160	2,718,720	3,284,600	3,732,480	6,051,280	7,470,720
<b>Hyper-Registers from HyperFlex Architecture</b>	Millions of Hyper-Registers distributed throughout the monolithic FPGA fabric									
<b>Programmable Clock Trees Synthesizeable</b>	Hundreds of synthesizable clock trees									
<b>Maximum Transceiver Count</b>	24	24	48	48	96	96	144	144	72	72
<b>GXT Full Duplex Transceiver Count (30 Gbps)</b>	16	16	32	32	64	64	96	96	48	48
<b>GX Full Duplex Transceiver Count (17.4 Gbps)</b>	8	8	16	16	32	32	48	48	24	24
<b>M20K Memory Blocks</b>	2,196	2,583	3,477	4,401	5,851	6,501	9,963	11,721	7,033	7,033
<b>M20K Memory (Mb)</b>	43	50	68	86	114	127	195	229	137	137
<b>MLAB Memory (Mb)</b>	3	3	4	6	8	11	13	15	23	29
<b>Variable-Precision DSP Blocks</b>	1,152	1,440	2,016	2,520	3,145	3,744	5,011	5,760	1,980	1,980
<b>18 x 19 Multipliers</b>	2,304	2,880	4,032	5,040	6,290	7,488	10,022	11,520	3,960	3,960

# Stratix 10

Stratix 10 Product Line	GX 500 SX 500	GX 650 SX 650	GX 850 SX 850	GX 1100 SX 1100	GX 1650 SX 1650	GX 2100 SX 2100	GX 2500 SX 2500	GX 2800 SX 2800	GX 4500 SX 4500	GX 5500 SX 5500
<b>Fixed Point Performance (TMACS)<sup>2</sup></b>	4.6	5.8	8.1	10.1	12.6	15.0	20.0	23.0	7.9	7.9
<b>Single Precision Floating Point (TFLOPS)<sup>3</sup></b>	1.8	2.3	3.2	4.0	5.0	6.0	8.0	9.2	3.2	3.2
<b>Maximum User I/O Pins</b>	488	488	736	736	704	704	1160	1160	1640	1640
<b>PCI Express® (PCIe®) Hardened Intellectual Property (IP) Block(s) (up to Gen3)</b>	1	1	2	2	4	4	6	6	3	3
<b>Secure Device Manager</b>	AES-256/SHA-256 bitstream encryption/authentication, physically unclonable function (PUF),									
<b>Hard Processor System<sup>4</sup></b>	Quad-core 64 bit ARM Cortex-A53 up to 1.5 GHz									