

CoolRunner

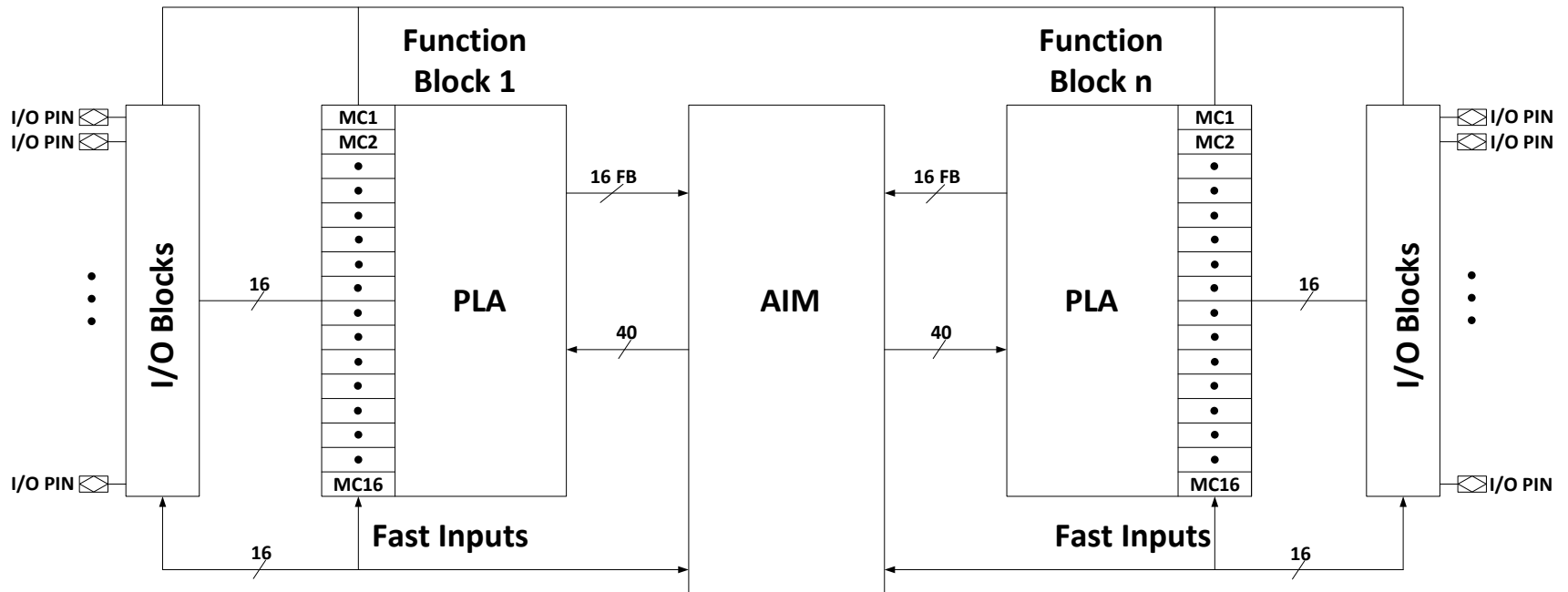
Xilinx CPLD

خانواده CoolRunner

• CPLD شرکت Xilinx

- ❑ بلوک منطقی به نام Function Block
- ❑ بلوک اتصالات به نام ماتریس اتصالات پیشرفته (AIM) Advanced Interconnect Matrix
- ❑ پیکربندی در سلول‌های حافظه فلش

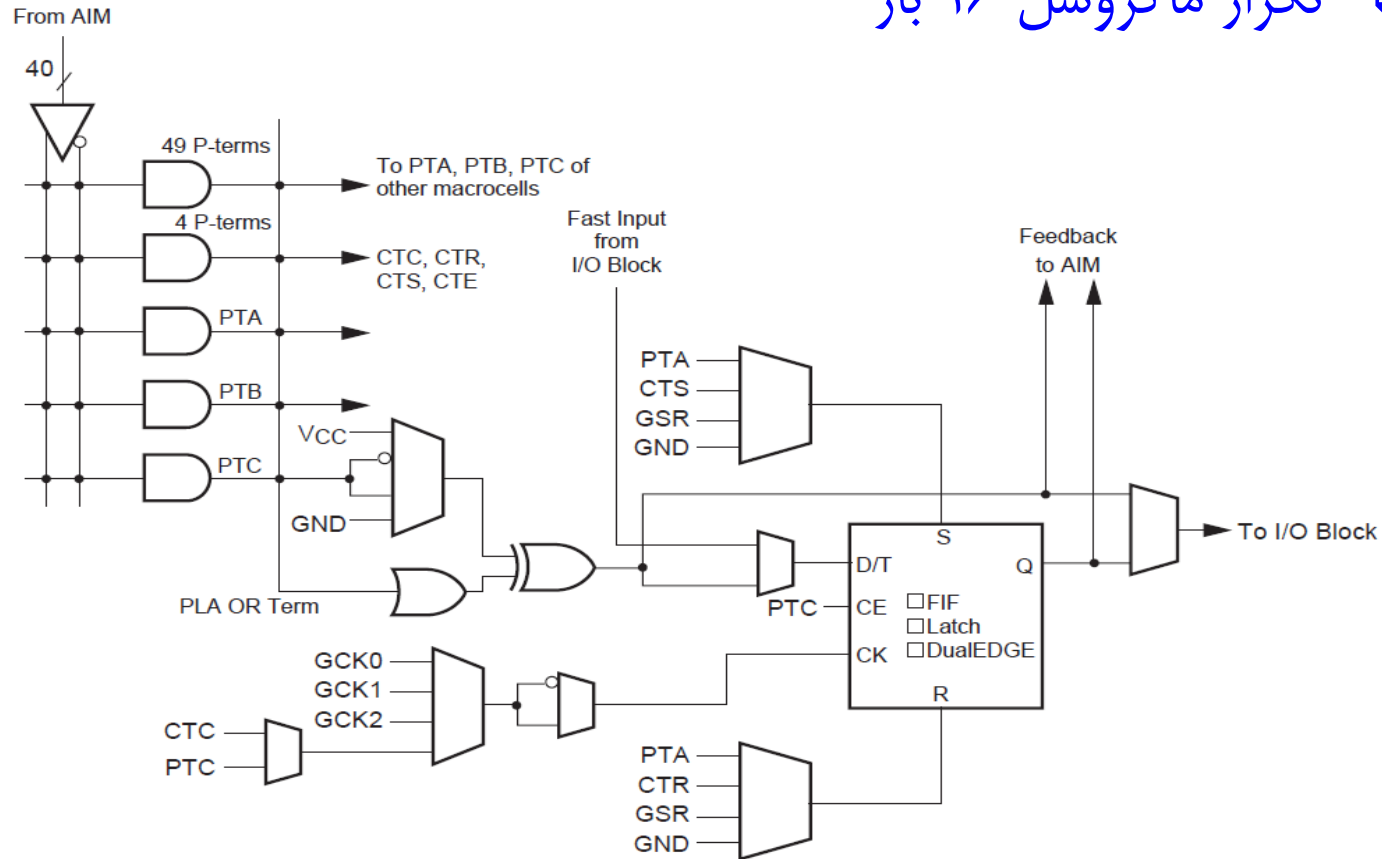
معماری CoolRunner



بلوک منطقی Function Block

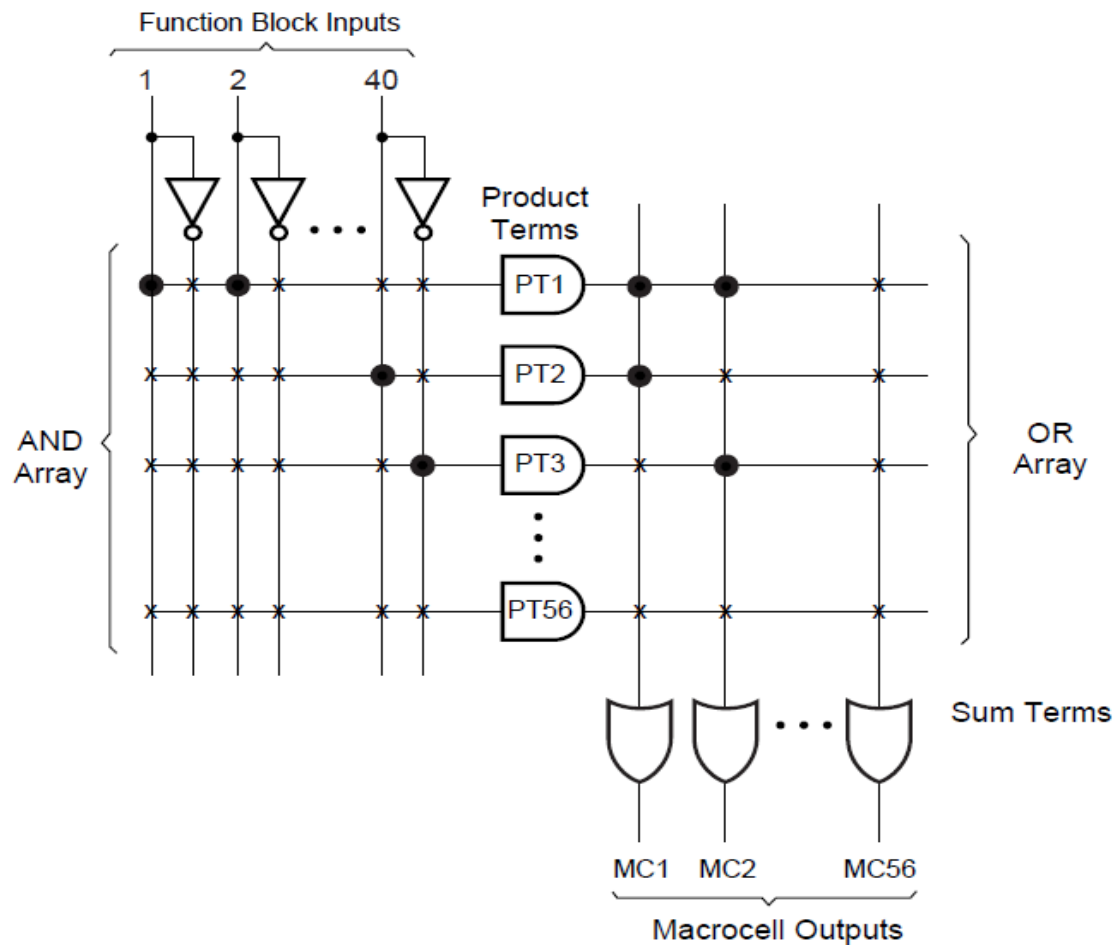
• PLA با یک ماکروسل

تکرار ماکروسل ۱۶ بار □



بلوک منطقی Function Block

• PLA با یک ماکروسل



معماری CoolRunner

• جملات حاصل ضرب

□ برای پیاده سازی توابع منطقی

□ برای کنترل فلیپ فلاپ های ماکروسل ها

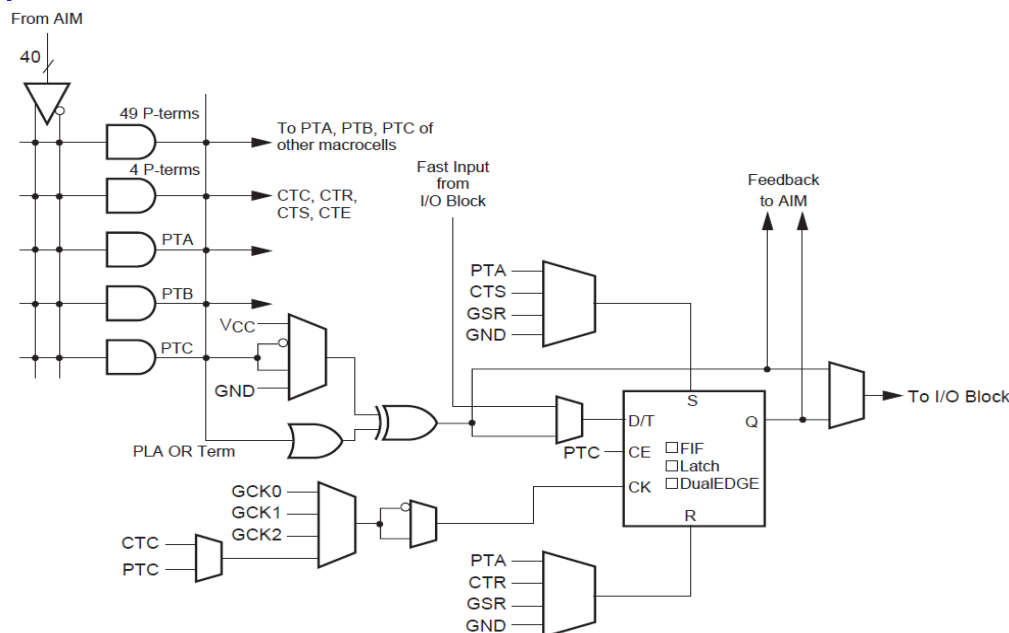
• عناصر حافظه:

□ ثبت خروجی SOP

□ لچ یا FF

□ برنامه ریزی دو لبه

□ DFF یا TFF

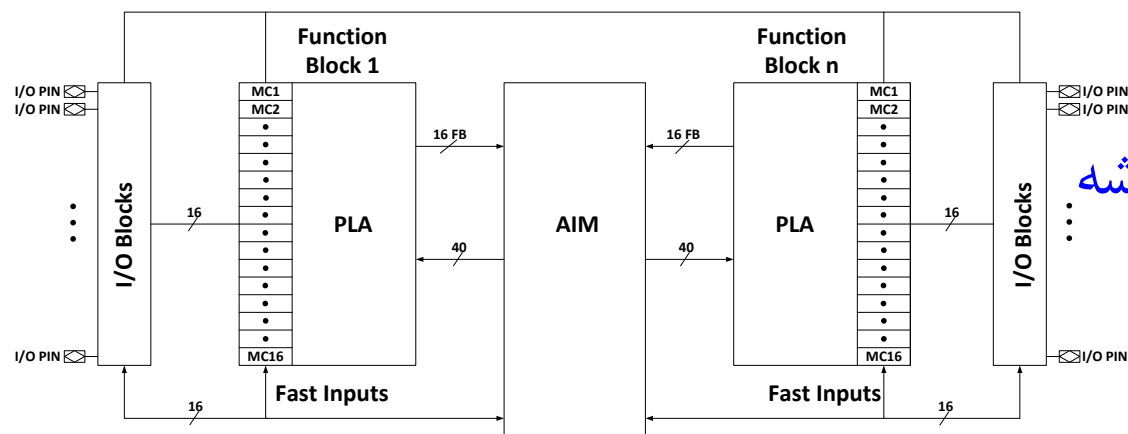


معماری CoolRunner

• بلوک اتصالات (AIM)

□ سویچ‌های قابل برنامه‌ریزی

□ اتصال هر بلوک منطقی به هر بلوک منطقی دیگر و بلوک‌های IO



• بلوک IO:

□ ارتباط با بیرون از تراشه

□ خروجی درین باز

□ ایجاد مقاومت بالابر

Part Number	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
System Gates	750	1,500	3,000	6,000	9,000	12,000
Macrocells	32	64	128	256	384	512
Product Terms Per Macrocell	56	56	56	56	56	56
Global Clocks	3	3	3	3	3	3
Product Term Clocks Per Function Block	16	16	16	16	16	16
Maximum I/O	33	64	100	184	240	270

Part Number	XC9536XL	XC9572XL	XC95144XL	XC95288XL
System Gates	800	1,600	3,200	6,400
Macrocells	36	72	144	288
Product Terms Per Macrocell	90	90	90	90
Global Clocks	3	3	3	3
Product Term Clocks Per Function Block	18	18	18	18
Maximum I/O	36	72	117	192

Axcelerator Family

MicroSemi FPGA

Axcelerator

- برنامه‌ریزی:

- ☐ مبتنی بر آنتی فیوز

- معماری کلی:

- ☐ دریایی از پودمان‌ها (Sea-of-Modules)

- ☐ ماهیت آنتی فیوز ←

- اتصالات در خود بلوک‌های اصلی جا داده شده

- از لایه‌های بالای فلز (تا جایی که نیاز به بافر نباشد)

Axcelerator

- برنامه‌ریزی:

- مبتنی بر آنتی فیوز

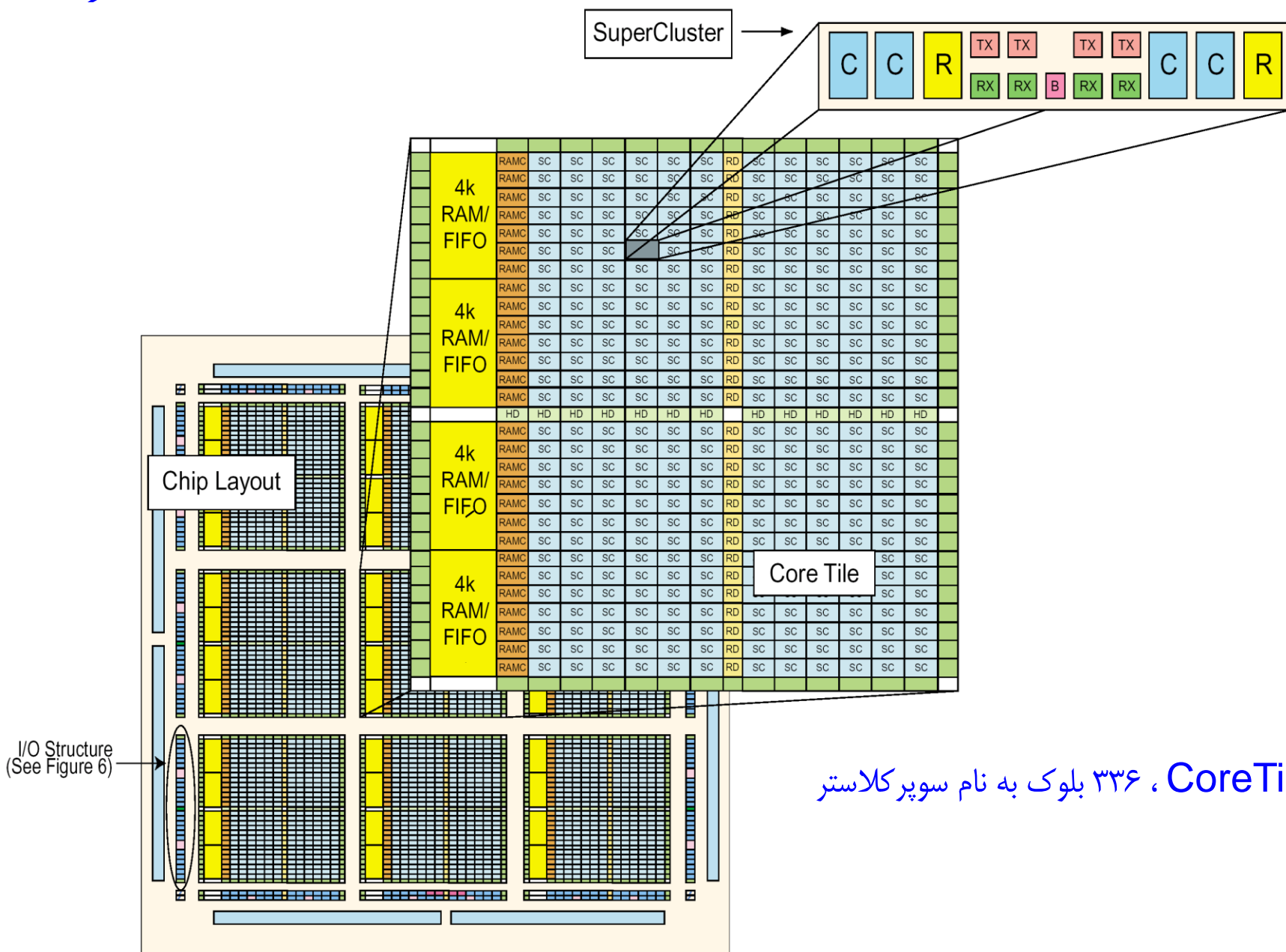
- معماری کلی:

- دریایی از پودمان‌ها (Sea-of-Modules)

- ماهیت آنتی فیوز ←

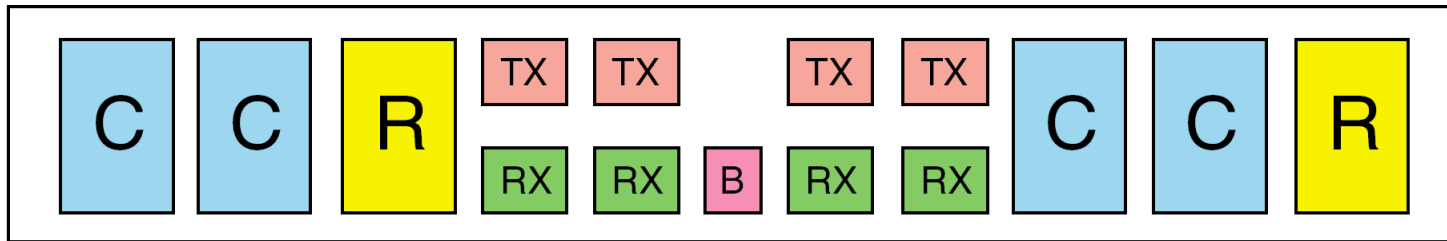
- اتصالات در خود بلوک‌های اصلی جا داده شده

- از لایه‌های بالای فلز (تا جایی که نیاز به بافر نباشد)



هر CoreTile ، ۳۳۶ بلوک به نام سوپر کلاستر

کلاستر



کلاستر

سوپر کلاستر

- TX و RX: برای کانالهای افقی و عمودی، در داخل تراشه بافرینگ را انجام می دهند.

تعداد Core Tile ها

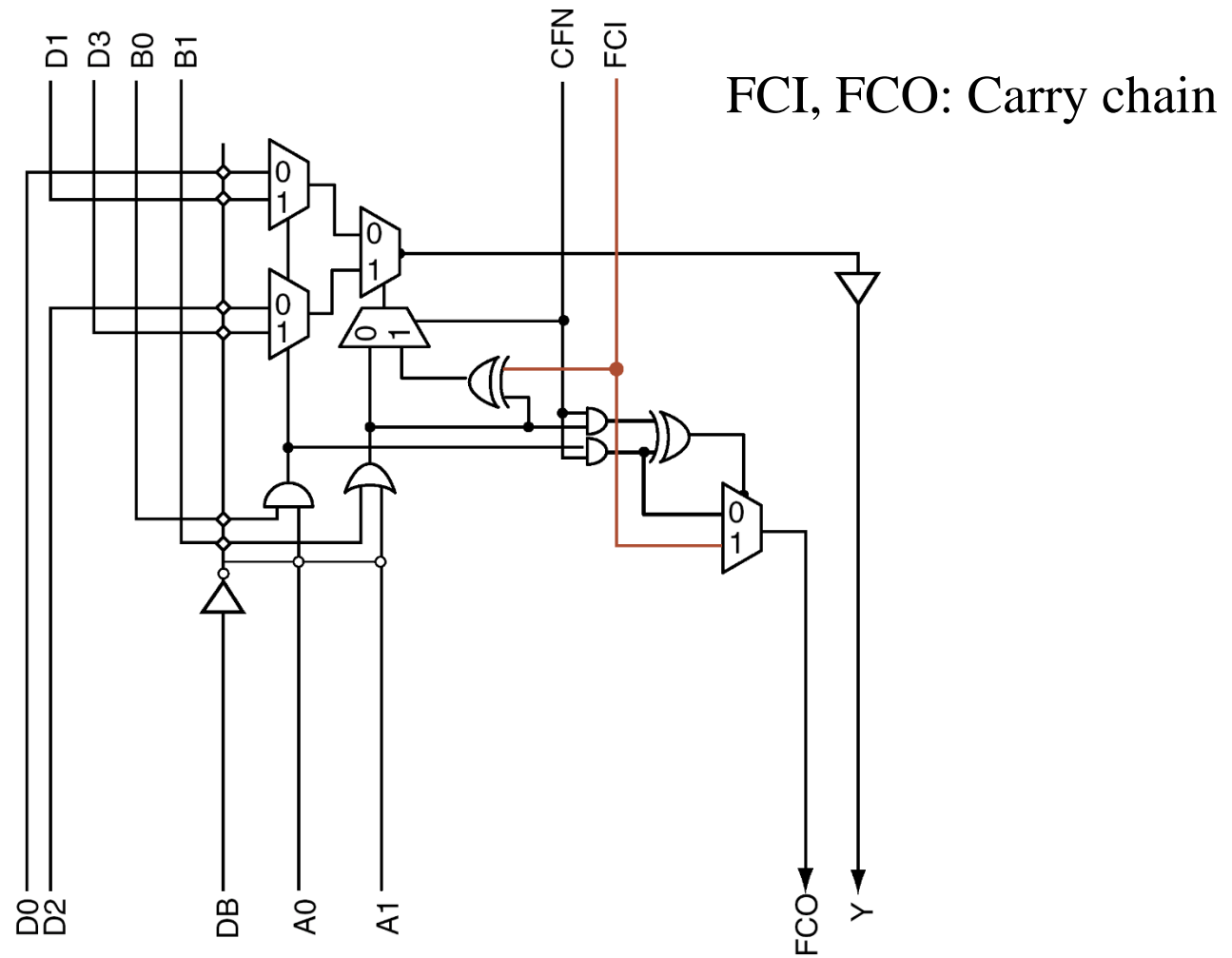
Device	Number of Core Tiles
AX125	1 regular tile
AX250	4 smaller tiles
AX500	4 regular tiles
AX1000	9 regular tiles
AX2000	16 regular tiles

4k RAM

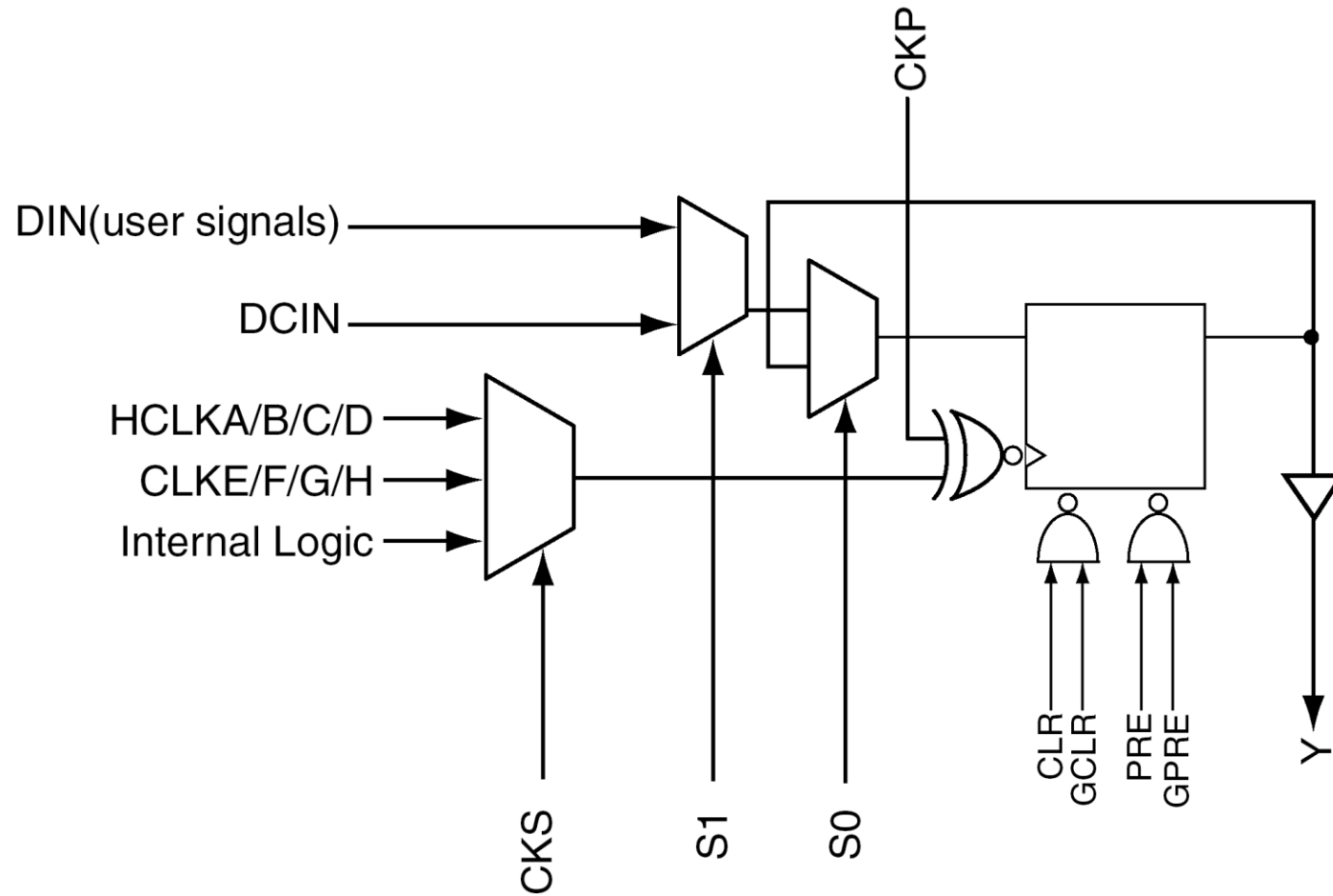
تک و دو درگاهی

پیکربندی (تعداد بیت × تعداد کلمات)
128×36
256×18
512×9
$1k \times 4$
$2k \times 2$
$4k \times 1$

C-Cell



R-Cell



معماری اتصالات

