



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال دوم ۱۳۹۴
تمرین دوم



دانشگاه صنعتی امیرکبیر

تاریخ تحویل ۱۳۹۵/۰۱/۱۷

حل سوال اول به صورت اختیاری است و نیازی به تحویل نیست. (به حل این سوال نمره‌ای تعلق نمی‌گیرد)

۱. ماژول‌های زیر را با کد VHDL و با استفاده از Process پیاده‌سازی کنید:

الف) 8-to-3 Encoder

ب) 8-to-1 Mux

پ) 8-Bit Up Counter

ت) 8-Bit Up-Down Counter

ج) Synchronous reset T – FF

چ) Asynchronous reset D- FF

حل سوالات ۲ تا ۱۱ اجباری بوده عدم تحویل هر کدام موجب کسر نمره خواهد شد.

۲. یک ماژول برای تبدیل کلاک 50MHz به 25MHz و 10MHz توصیف کنید.

۳. یک ماژول برای تبدیل عدد باینری هشت بیتی به BCD توصیف کنید.

۴. تفاوت‌های signal و variable در چیست؟

۵. آیا امکان آن وجود دارد که برای یک entity چند architecture طراحی نمود؟ به طور کامل توضیح دهید.

۶. فرض کنید که M, N و L نوع std_logic باشند. پس از اجرای کد زیر مقادیر M, N و L چه خواهند بود؟

```
L<='1'; L<='0';
M<='1' when L='0' else 'Z' when L='1' else '0';
N<=M when L='0' else not M;
N<=Z;
```



۷. هدف این تمرین دنبال کردن و فهمیدن کد VHDL و Hierarchical Design است.

الف) کد زیر را بخوانید و توضیح دهید چه کاری انجام می‌دهد. شکل آن را رسم کنید (نحوه اتصال component های مختلف).

```
entity d_ff is
port ( d, clk : in bit; q : out bit );
end d_ff;

architecture basic of d_ff is
begin
ff_behavior : process
begin
wait until clk = '1';
q <= d after 2 ns;
end process ff_behavior;
end architecture basic;

entity and2 is
port ( a, b : in bit; y : out bit );
end and2;

architecture basic of and2 is
begin
and2_behavior : process
begin
y <= a and b after 2 ns;
wait on a, b;
end process and2_behavior;
end architecture basic;

entity reg4 is
port ( d0, d1, d2, d3, en, clk : in bit;
      q0, q1, q2, q3 : out bit );
end entity reg4;

architecture behav of reg4 is
begin

storage : process is
variable stored_d0, stored_d1, stored_d2, stored_d3 : bit;
begin
wait until clk;
if en then
stored_d0 := d0;
stored_d1 := d1;
stored_d2 := d2;
stored_d3 := d3;
```

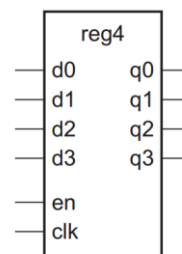


```
end if;  
q0 <= stored_d0 after 5 ns;  
q1 <= stored_d1 after 5 ns;  
q2 <= stored_d2 after 5 ns;  
q3 <= stored_d3 after 5 ns;  
end process storage;
```

```
end architecture behav;
```

ب) حال که نحوه‌ی کارکرد کد بالا را می‌دانید، با استفاده از یک **process** کد معادل آن چه که در بالا ارائه شده است بنویسید. (بدون استفاده از هیچ ماژول دیگری)

ج) برای اطمینان از درست عمل کردن کد جدید خود، یک **test bench** ارائه کنید.



۸. می‌خواهیم ترموستات یک بخاری را با استفاده از دو ورودی **integer** و یک خروجی **boolean** مدل کنیم. یکی از ورودی‌ها دمای مطلوب ما و دیگری دمایی است که از سنسور دما دریافت می‌کنیم. در صورتی که دمای محیط از دمای مطلوب ما ۲ درجه بیشتر شود بخاری خاموش (خروجی **false**)، و اگر دمای محیط از دمای مطلوب ۲ درجه کمتر باشد بخاری روشن می‌شود (خروجی **true**).

الف) با استفاده از اطلاعات فوق، **entity** مناسب را بنویسید.

ب) **architecture** بدون استفاده از **process** (با استفاده از دستورات **concurrent**) برای **entity** قسمت قبل ارائه کنید.

ج) **architecture** قسمت قبل را با استفاده از یک **process** و دستورات **sequential** ارائه کنید.



۹. کد شمارنده‌ای را بنویسید که از صفر شروع می‌کند و با هر لبه‌ی بالا رونده‌ی کلاک مقدارش یکی افزایش پیدا می‌کند. زمانی که مقدار این شمارنده به ۱۵ برسد در کلاک بعدی به صفر بازمی‌گردد و شمارش دوباره تکرار خواهد شد. این شمارنده یک **reset** به صورت **asynchronous** دارد. زمانی که **reset** صفر باشد، مقدار خروجی شمارنده صفر می‌شود و در این وضعیت باقی می‌ماند تا زمانی که دوباره سیگنال **reset** برابر یک شود. پس از یک شدن مقدار **reset** شمارنده از کلاک بعدی دوباره شمارش را آغاز می‌کند. پیاده‌سازی خود را با استفاده از **entity** مشخص شده انجام دهید.

```
entity COUNTER is
    port (
        CLK, RESET : in STD_LOGIC;
        COUNT      : out STD_LOGIC_VECTOR(3 downto 0)
    )
end entity COUNTER;
```

۱۰. مدار جذرگیرنده اعداد صحیح هشت بیتی را در سطح RTL توصیف کنید.

۱۱. با استفاده از **for generate** یک **32-bit Shift Register** توصیف کنید.