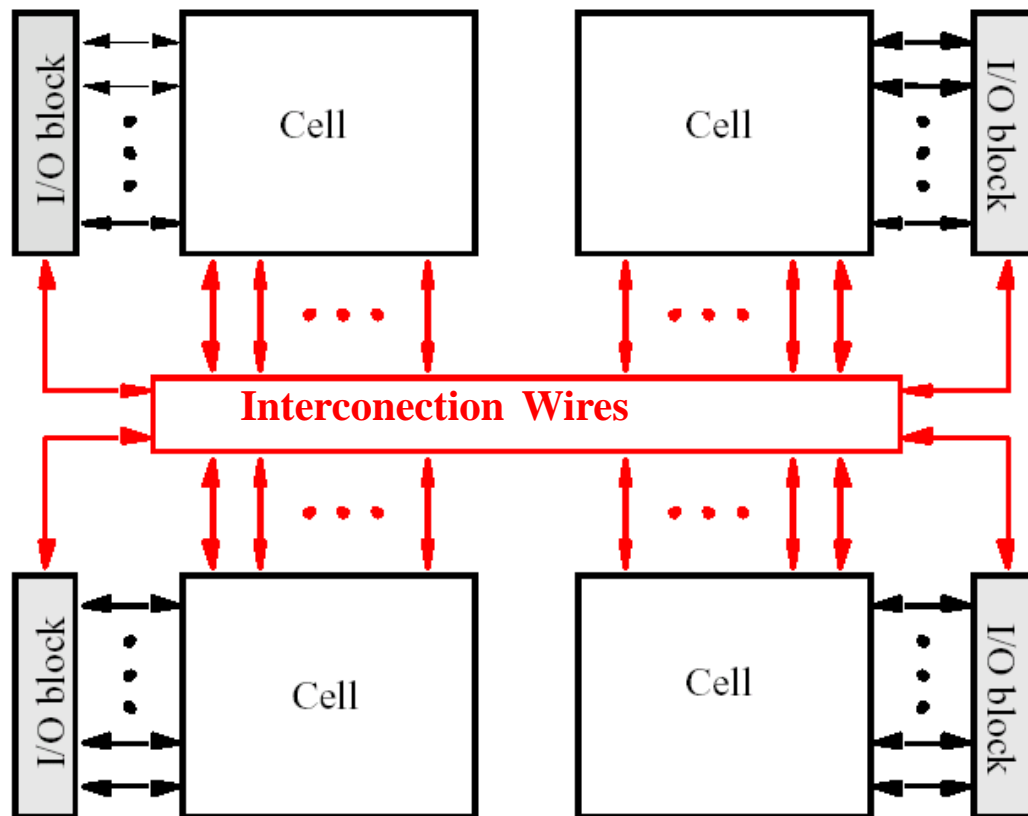


تراشه های منطقی برنامه پذیر

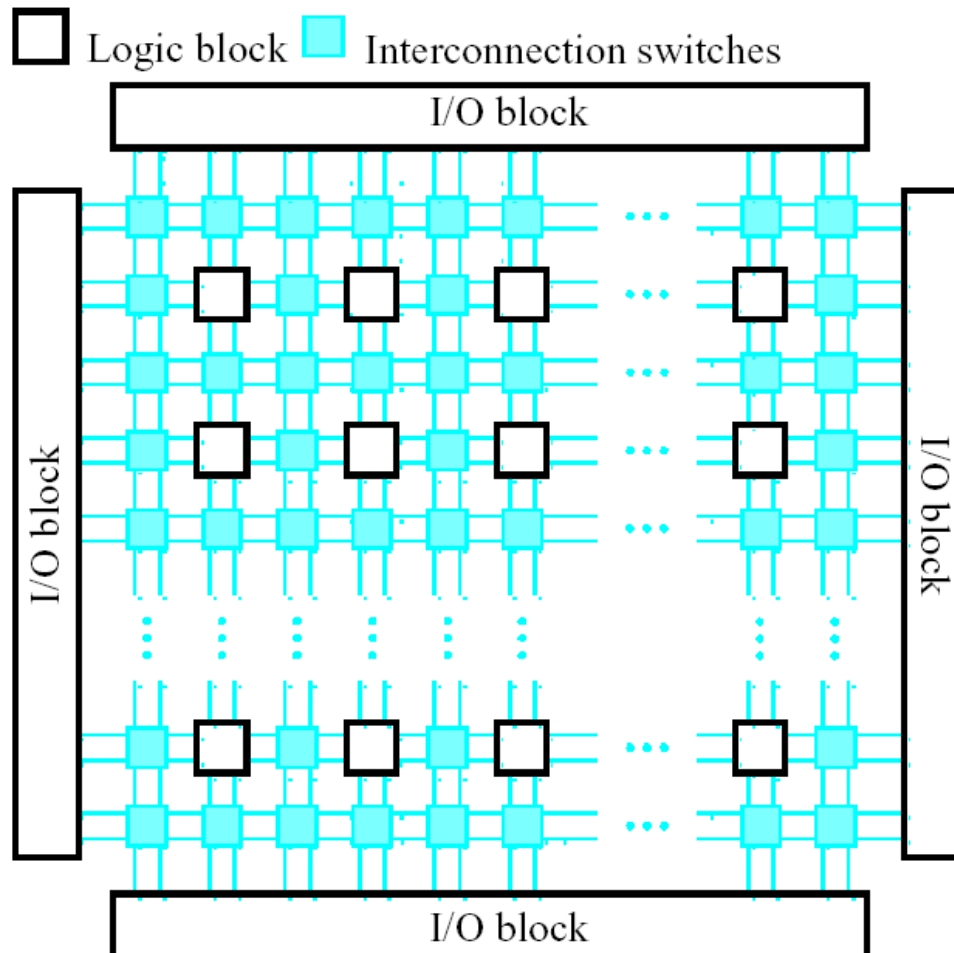
بلوک های منطقی

Logic Blocks

CPLD



ساختار FPGA



انواع تراشه‌های برنامه‌پذیر

• جنبه‌های تفاوت:

- ☐ فناوری برنامه‌ریزی تراشه
- ☐ ساختار بلوک‌های منطقی
- ☐ معماری اتصالات برنامه‌پذیر
- ☐ ساختار مدار IO block
- ☐ Hard core

بلوک‌های منطقی

• بلوک‌های منطقی: (LM, LE, CLB, LC, LB)

❑ خصوصیت اصلی:

- انعطاف‌پذیری بالا ← بتواند طیف وسیعی از عملیات منطقی را پیاده‌سازی کند

- کیفیت معیارهای طراحی (تأخیر، توان مصرفی و مساحت) را کاهش ندهد

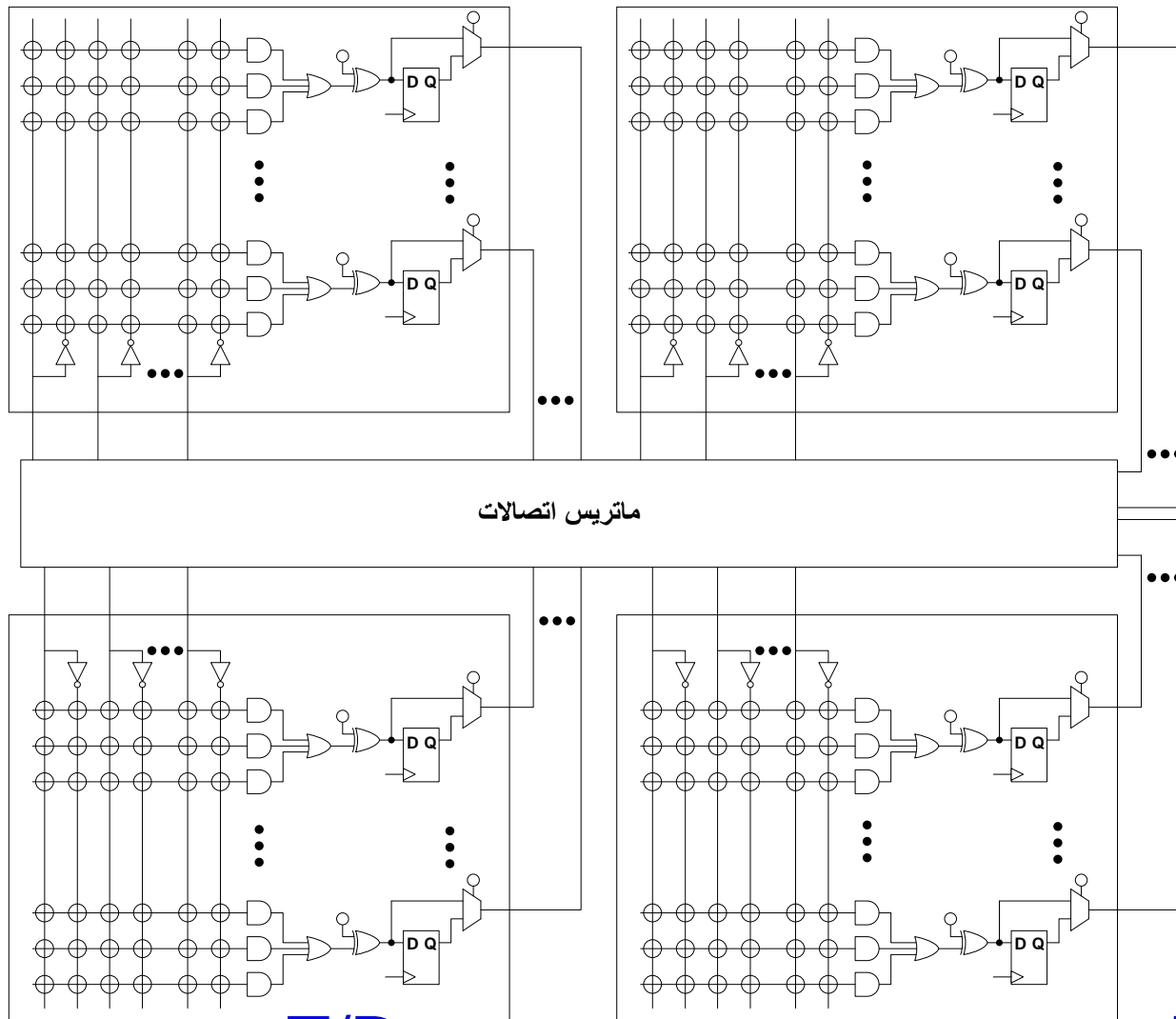
❑ انواع اصلی:

- مبتنی بر SOP

- مبتنی بر LUT

- مبتنی بر MUX

بلوک‌های منطقی SOP



□ FFها ممکن است قابل برنامه‌ریزی باشند (T/D)،

بازنشانی

بلوک‌های منطقی SOP

FF ها ممکن است قابل برنامه‌ریزی باشند ☐

T/D ☐

بازنشانی همگام/ناهمگام ☐

لبه فعال کلاک: بالا/پایین رونده ☐

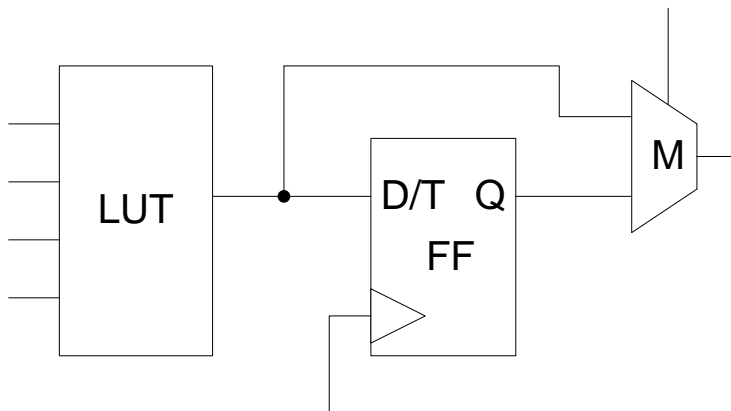
... ☐

بلوک‌های منطقی LUT

• LUT:

□ حافظه 2^k خانه تک بیتی

□ ابزار کل مدار را به FF ها و LUT ها تجزیه می‌کند



$A_2(X)$	000	0
$A_1(Y)$	001	0
$A_0(Z)$	010	1
	011	0
	100	1
	101	0
	110	1
	111	0

→ D(F)

(الف)

بلوک‌های منطقی LUT

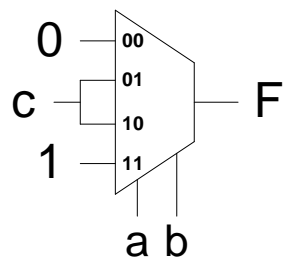
• LUT:

- ❑ امکان پیاده‌سازی هر مدار ترکیبی
- ❑ امکان پیاده‌سازی ثبات انتقال
- ❑ امکان پیاده‌سازی حافظه RAM به صورت توزیع شده

بلوک‌های منطقی MUX

• MUX:

پیاپی سازی هر مدار ترکیبی با MUX



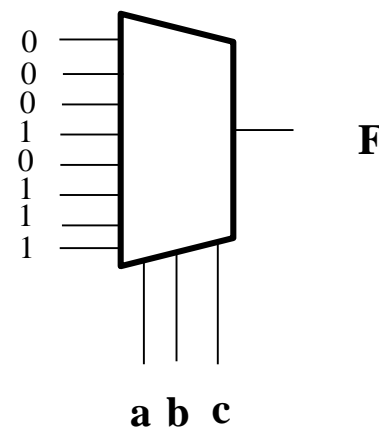
(ج)

a	b	F
0	0	0
0	1	c
1	0	c
1	1	1

(ب)

a	b	c	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

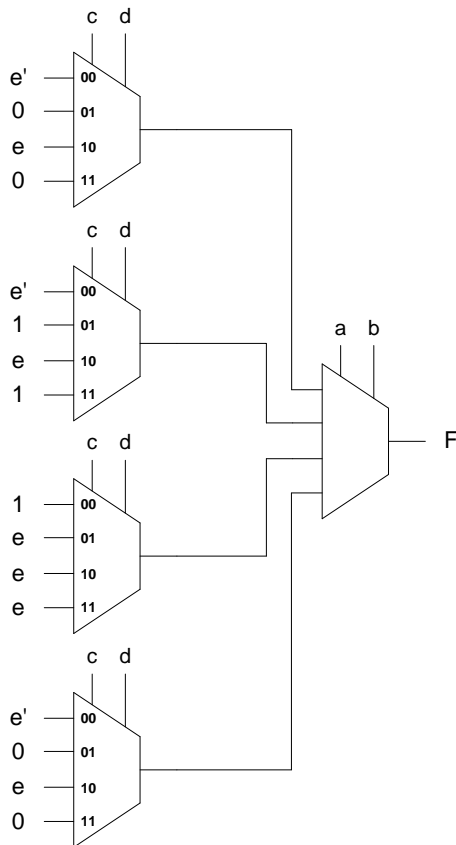
(الف)



بلوک‌های منطقی MUX

• MUX:

پیاپی سازی تابع چهار ورودی با دو سطح MUX دو ورودی □



بلوک‌های منطقی MUX

• بلوک منطقی نمونه

