

جریان طراحی

Design Flow

# جریان طراحی



# جریان طراحی

## • توصیف نیازمندی‌های سیستم:

□ نیازمندی اصلی: عملکرد مطلوب

- چکار کند (نه آنکه چگونه انجام دهد)

- بعداً به تدریج

- هزینه قابل قبول

- نحوه ارتباط با محیط

- تعداد و نوع درگاه‌ها

- سرعت قابل قبول

- توان مصرفی قابل قبول

□ لزوم تخمین مناسب و واقع‌بینانه

- نیازهای فعلی + کمی حاشیه اطمینان برای ارتقا

# جریان طراحی

## • طراحی معماری سطح سیستم:

- ☐ مجموعه اجزای اصلی سیستم و نحوه ارتباط آنها با یکدیگر و نیز با خارج از سیستم
- ☐ از چه بلوک‌های آماده‌ای استفاده شود
- ☐ پردازنده؟ یا همه سخت‌افزاری؟
- ☐ نیاز به حافظه خارجی؟ چقدر؟
- ☐ ارتباط با بیرون با RS232 یا پروتکل سریع‌تر؟

# جریان طراحی

## • انتخاب تراشه:

### □ نوع امکانات داخلی

- بلوک‌های محاسباتی
- بلوک‌های ارتباط سریال سریع
- بلوک پردازنده سخت

### □ فناوری برنامه‌ریزی

### □ میزان منابع منطقی

### □ میزان حافظه داخلی

	<b>Spartan-6</b>	<b>Artix-7</b>	<b>Kintex-7</b>	<b>Virtex-7</b>	<b>Kintex UltraScale</b>	<b>Virtex UltraScale</b>
Logic Cells	147,443	215,360	477, 760	1,954,560	1,160,880	4,407,480
BlockRAM	4.8Mb	13Mb	34Mb	68Mb	76Mb	115Mb
DSP Slices	180	740	1,920	3,600	5,520	2,880
Transceiver Count	8	16	32	96	64	104
Transceiver Speed	3.2 Gb/s	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s	16.3 Gb/s	32.75 Gb/s
Total Transceiver Bandwidth (full duplex)	50 Gb/s	211 Gb/s	800 Gb/s	2,784 Gb/s	2,086 Gb/s	5,101 Gb/s
I/O Pins	576	500	500	1,200	832	1,456

# Spartan 6

## • تراشه‌های یک خانواده

Device	Logic Cells <sup>(1)</sup>	Configurable Logic Blocks (CLBs)			DSP48A1 Slices <sup>(3)</sup>	Block RAM Blocks		CMTs <sup>(5)</sup>	Memory Controller Blocks (Max) <sup>(6)</sup>	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices <sup>(2)</sup>	Flip-Flops	Max Distributed RAM (Kb)		18 Kb <sup>(4)</sup>	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

# جریان طراحی

## • انتخاب تراشه:

□ نیاز به تخمین مساحت مورد نیاز

- بر اساس تجربه قبلی

□ تعداد و نوع درگاهها

- استاندارد پشتیبانی شده

- خصوصیات الکتریکی (قدرت راه اندازی)

□ سرعت تراشه

- تراشه های یکسان با درجه سرعت (speed grade) متفاوت

□ توان مصرفی

- مثال: CoolRunner (Xilinx CPLD)

# جریان طراحی

## • انتخاب تراشه:

□ موجود بودن در بازار هنگام پایان پروژه (و قدری بعد از آن)

- انتخاب جدیدترها

- نه جدیدترین (مشکلات و ضعفها مشخص شوند + قیمت پایین بیاید)

□ دقیقاً متناسب با نیازمندی‌ها؟

- قدری حاشیه اطمینان برای توسعه و ارتقا

- حاشیه اطمینان بیش از حد ← بالا رفتن هزینه

- ← (بر خلاف ASIC)، تأثیر مستقیم در هزینه محصول



## انتخاب بسته‌بندی (Package)

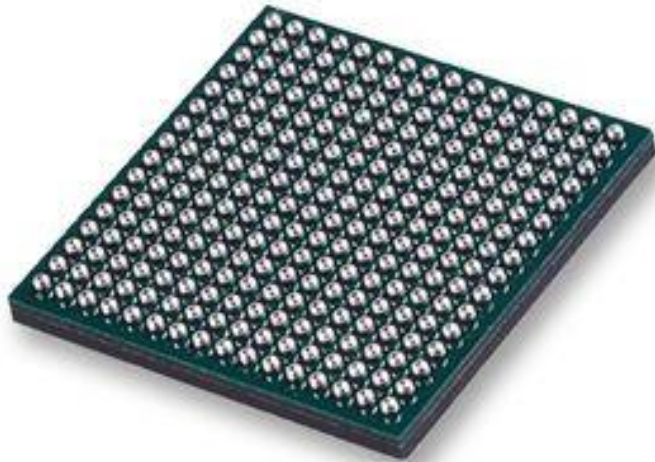
• رایج‌ترین:

### Quad Flat Pack :QFP □



- دسترسی به پایه‌های تراشه بر روی برد به طور مستقیم برای بررسی سیگنال با اسیلوسکوپ
- مناسب برای نمونه اولیه
- نویزپذیری کمتر (فاصله پایه‌ها)

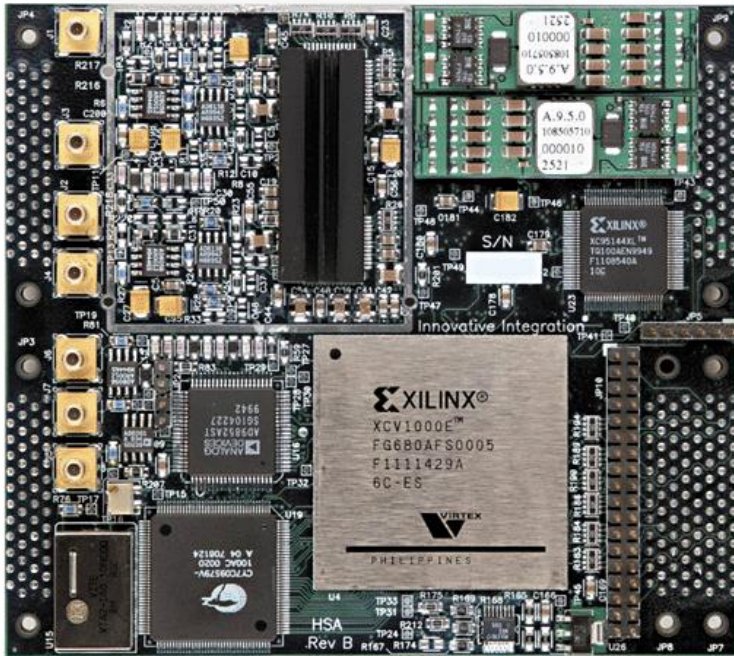
### Ball-Grid Array :BGA □



- اندازه کوچک‌تر پکیج
- انتشار حرارت بهتر
- مناسب برای تولید انبوه

# جریان طراحی

## • انتساب پایه‌ها:



□ بر اساس طرح کلی برد

- محل قرارگیری PLD

- محل قرارگیری سایر تراشه‌ها

□ پایه‌ها

- عام‌منظوره ← انتخاب‌های متعدد

- خاص‌منظوره: ← انتخاب‌های محدود

- کلاک سراسری

- بازنشانی (reset) سراسری

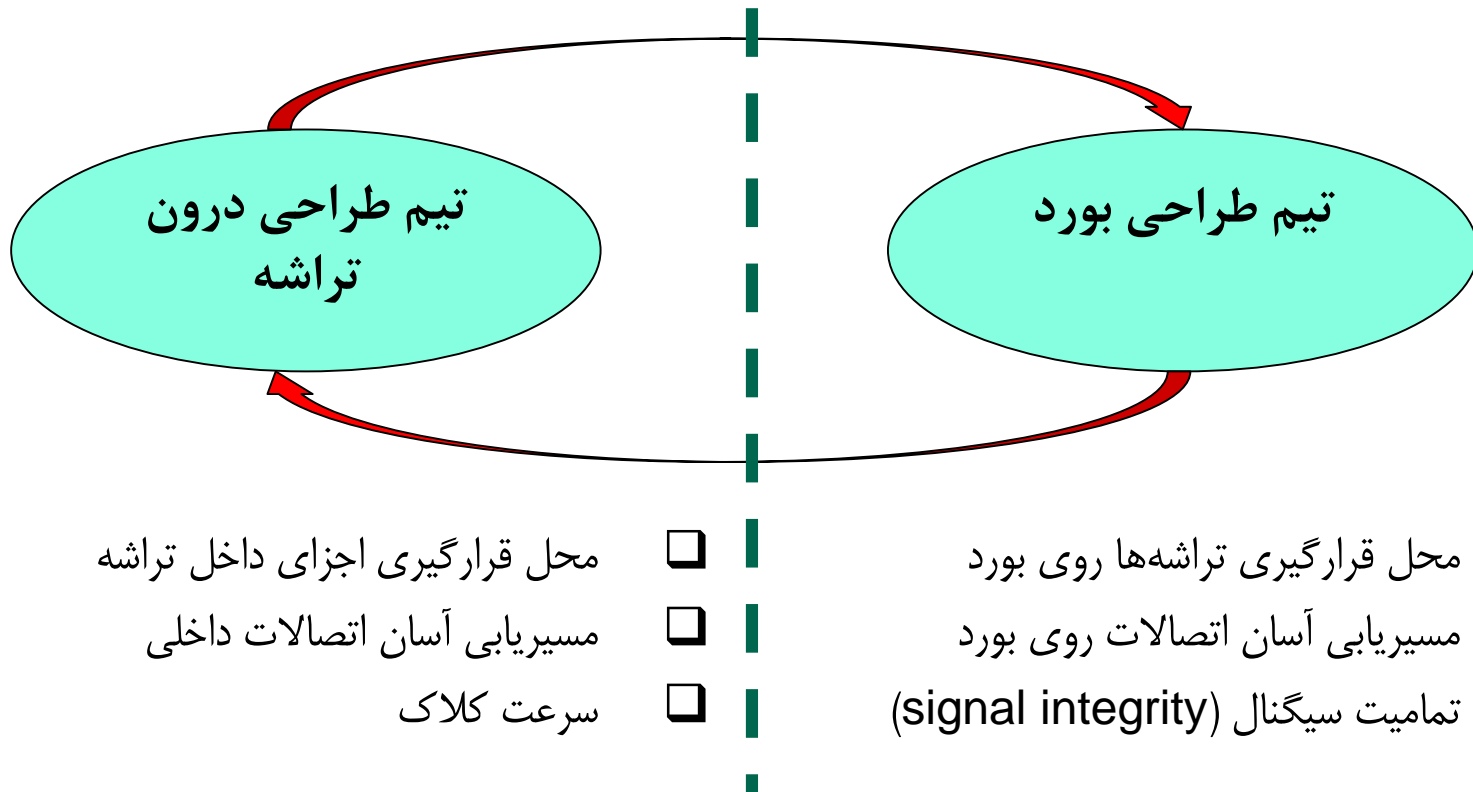
□ لزوم آشنایی با ساختار تراشه‌ها، وظایف پایه‌ها، امکانات پایه‌ها  
(مقاومت بالا، درین باز، ارتباط سریال با سرعت بسیار بالا، ...)

# جریان طراحی

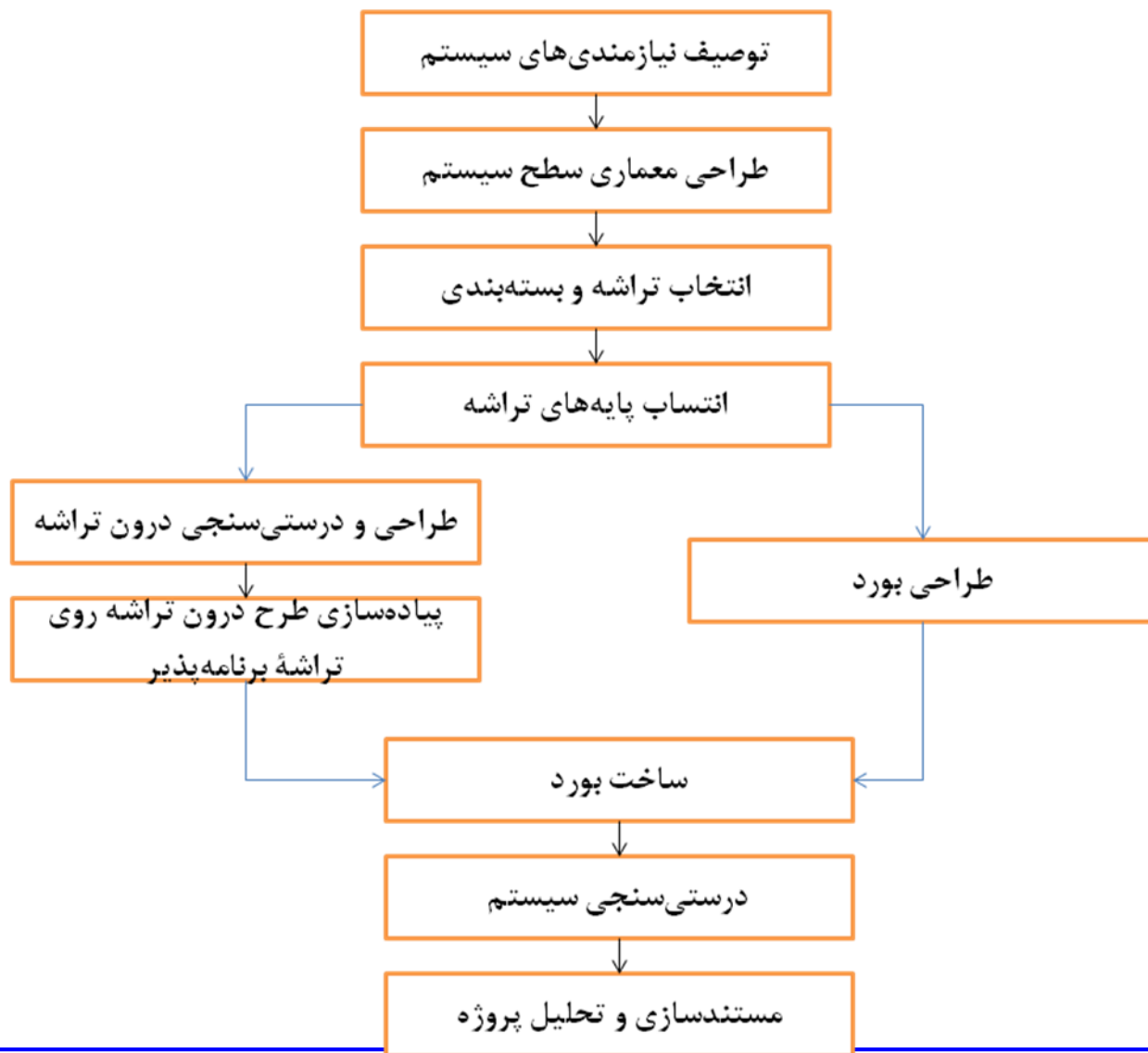
## • انتساب پایه‌ها:

□ در مراحل گوناگون تغییر می‌کند

□ اما نیاز به یک تصمیم اولیه بر اساس اطلاعات اولیه



# جریان طراحی



## جریان طراحی

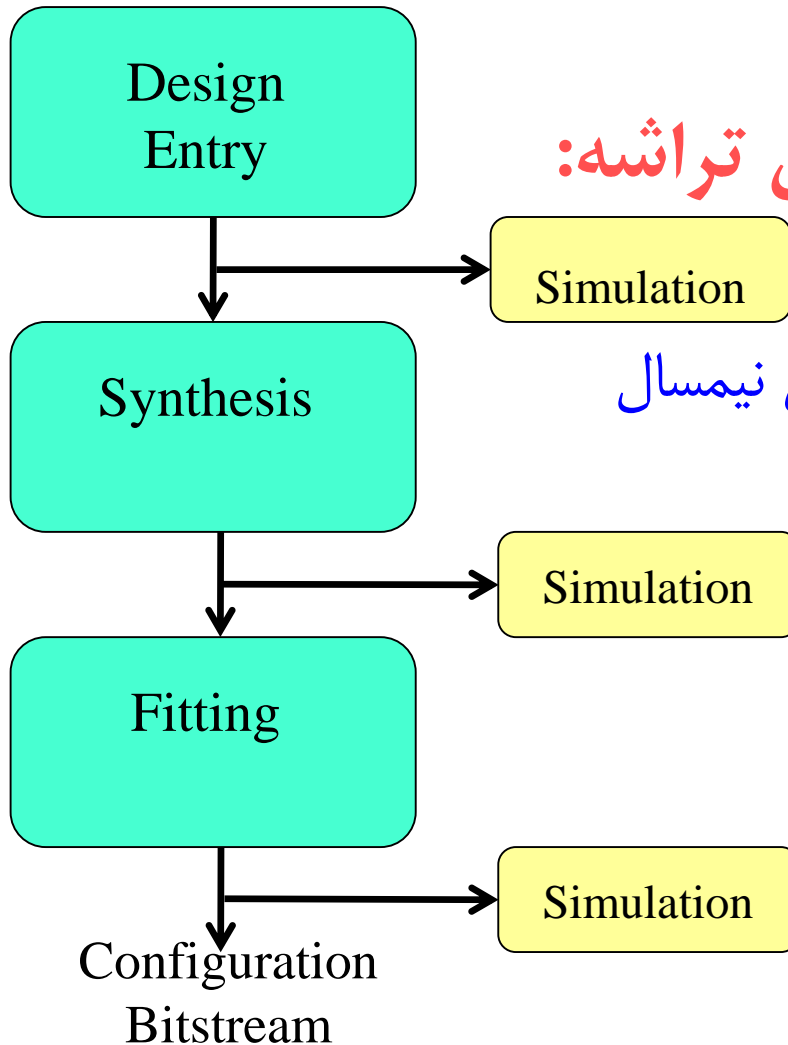
- رابطه انتخاب بسته‌بندی با انتساب پایه‌ها:

□ BGA غیرقابل تغییر پس از قرارگیری روی بورد

← - انتساب حساب شده پایه‌ها

□ انتساب چند پایه اضافی برای تغییرات بعدی

# جریان طراحی



## • طراحی و درستی سنجی درون تراشه:

☐ مرحله اصلی و زمان بر

☐ توضیح مفصل تکنیک‌ها: در طول نیمسال

☐ مختصر: در ادامه

# جریان طراحی



## • پیاده سازی درون تراشه:

1. طراحی و درستی سنجی طرح با ابزارها

2. پیاده سازی:

- تشکیل دنبالهٔ بیتی

- انتقال به تراشه (یا حافظهٔ بیرونی تراشه)

- کابل JTAG

# جریان طراحی



## • طراحی و ساخت بورد:

□ در نظر گرفتن امکانات کافی روی بورد

- اجتناب از دوباره‌کاری و ساخت مجدد

□ تعداد لایه‌ها

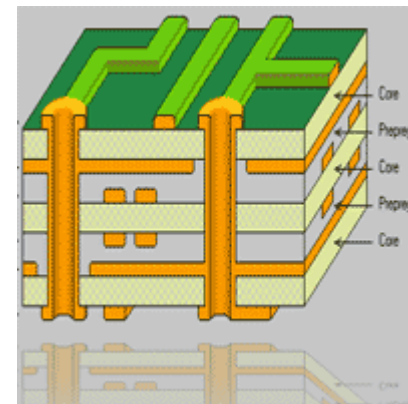
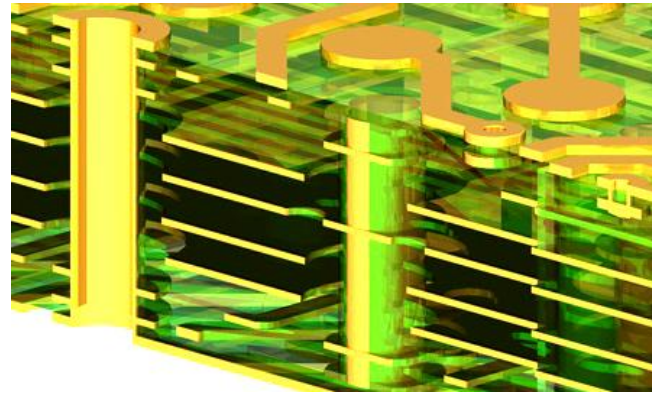
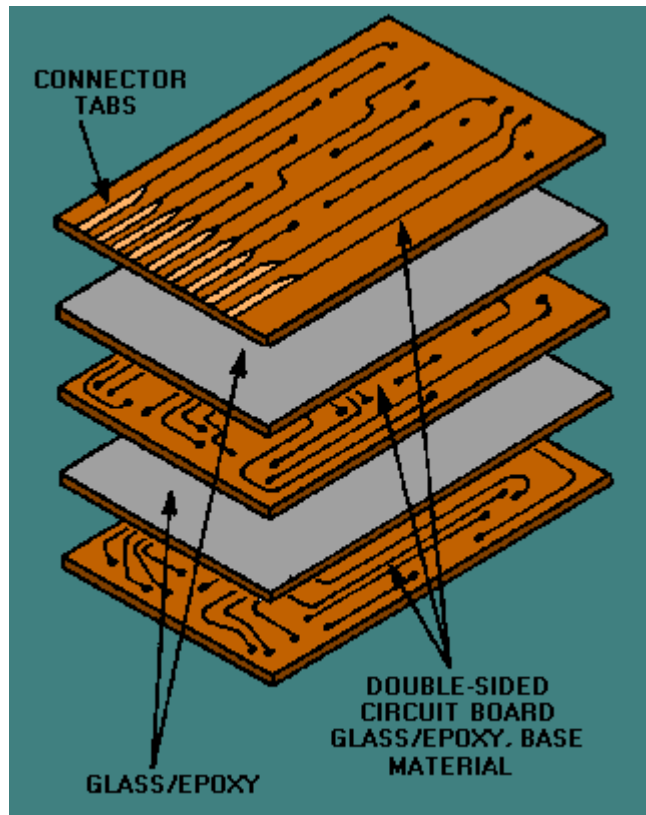
□ لوازم تسهیل آزمون

- برای دادن داده از بیرون (سوییچ و ...)

- برای دیدن نتایج از بیرون (LED, LCD, ...)



# ساخت بورد



# جریان طراحی

## • مستندسازی پروژه:

### □ در حین انجام پروژه:

- مقاوم در برابر تغییرات پرسنل
- آگاهی تیمها از فعالیت‌های یکدیگر
- آگاهی افراد یک تیم از یکدیگر
- ثبت روند انجام پروژه + تحلیل تصمیمات

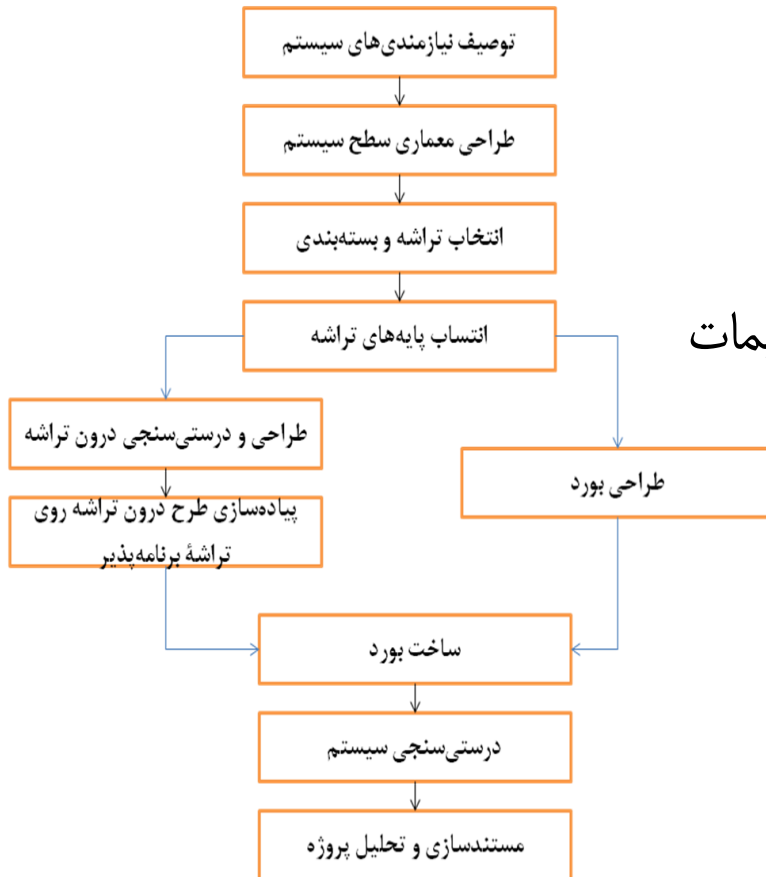
## • تحلیل پروژه:

### □ پس از اتمام پروژه

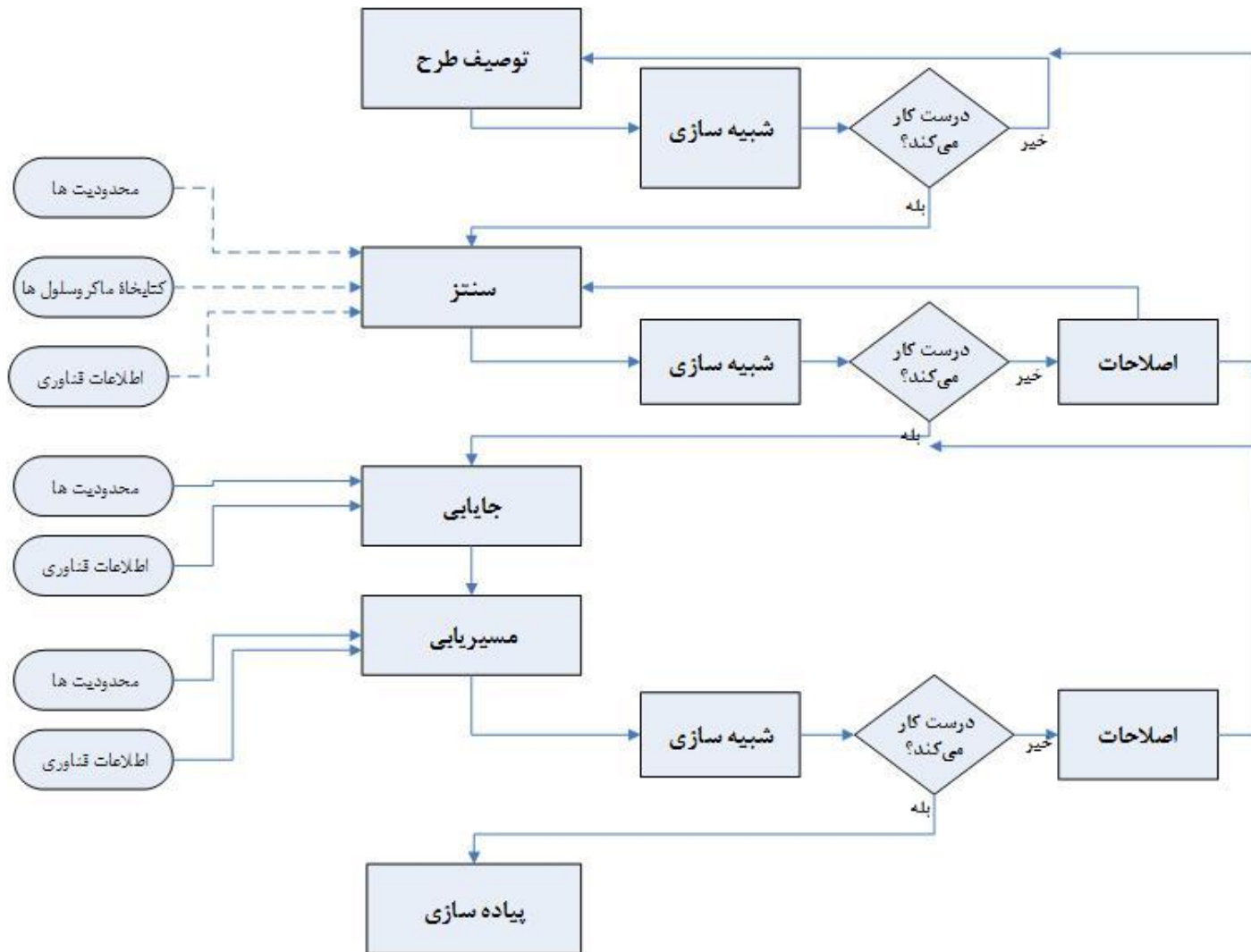
### □ بررسی نقاط ضعف و قوت

### □ استفاده از آنها در پروژه‌های آتی

### □ بهبود سیستم در آینده



# طراحی و درستی سنجی درون تراشه

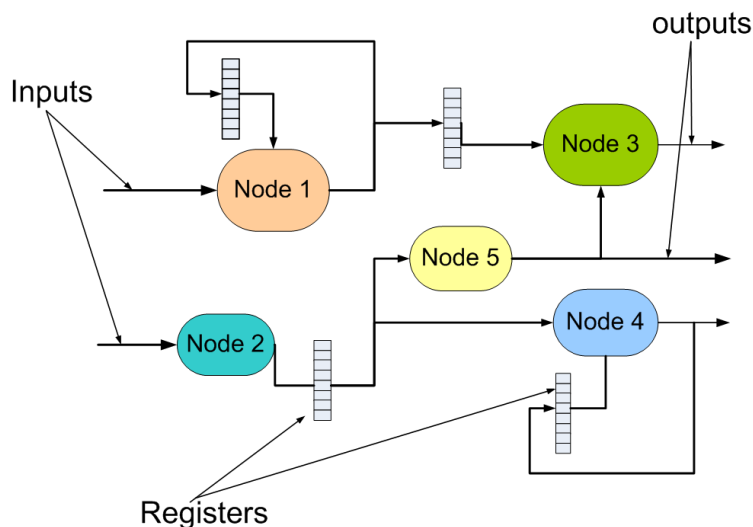


# طراحی و درستی سنجی درون تراشه

## • توصیف طرح:

□ سطح انتقال ثبات:

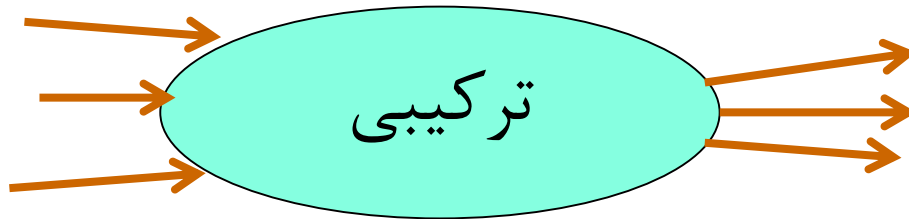
- کمیته استاندارد VHDL: «سطحی از توصیف طرح دیجیتال که در آن رفتار کلاک دار طرح برحسب انتقال داده‌ها بین عناصر حافظه در مدارهای ترتیبی و مدارهای ترکیبی، که می‌توانند نماینده هر مدار منطقی محاسباتی یا منطقی باشند، بیان می‌شود»



# طراحی و درستی سنجی درون تراشه

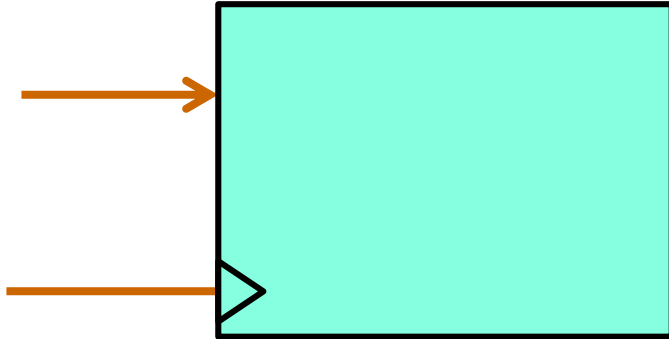
• توصیف طرح:

□ سطح انتقال ثبات:



```
process (A, B, C, D)
begin
  if (A = "1101") then
    OUTPUT <= A;
  elsif (C = "0110") then
    OUTPUT <= B;
  else
    OUTPUT <= D;
  end if;
end process;
```

# طراحی و درستی سنجی درون تراشه



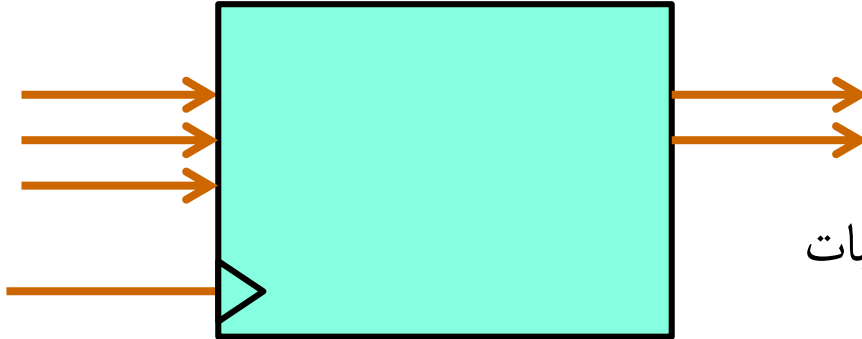
• توصیف طرح:

□ سطح انتقال ثبات:

- توصیف ثبات

```
process (CLK, RST)
begin
  if (RST = '1') then
    Q <= '0';
  elsif (CLK`event and CLK= '1')
    Q <= D;
  end if;
end process;
```

# طراحی و درستی سنجی درون تراشه



• توصیف طرح:

□ سطح انتقال ثبات:

- توصیف مرکب مدار ترکیبی و ثبات

```
process (CLK, RST)
begin
  if (RST = '1') then
    DATA <= 0;
  elsif (CLK`event and CLK= '1')
    DATA <= A + B;
  end if;
end process;
```

```
process (CLK, RST)
begin
  if (RST = '1') then
    STATE <= ST1;
  elsif (CLK`event and CLK= '1')
    case STATE is
      when ST1 => STATE <= ST2;
      when ST2 => STATE <= ST3;
      when ST3 => STATE <= ST1;
    end if;
  end if;
end process;
```

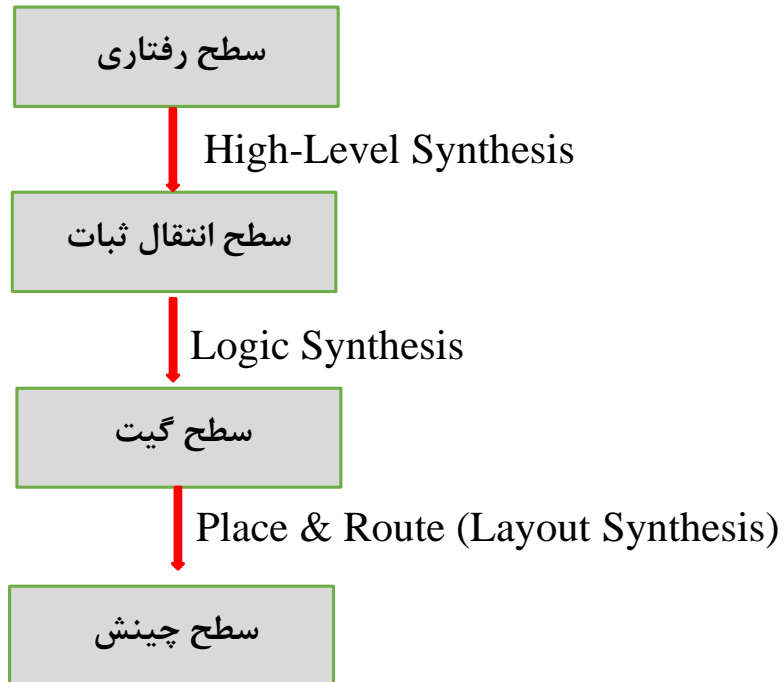
# سطوح تجرید

• سنتز:

□ تبدیل توصیف طرح از یک سطح

تجرید به سطح پایین تر

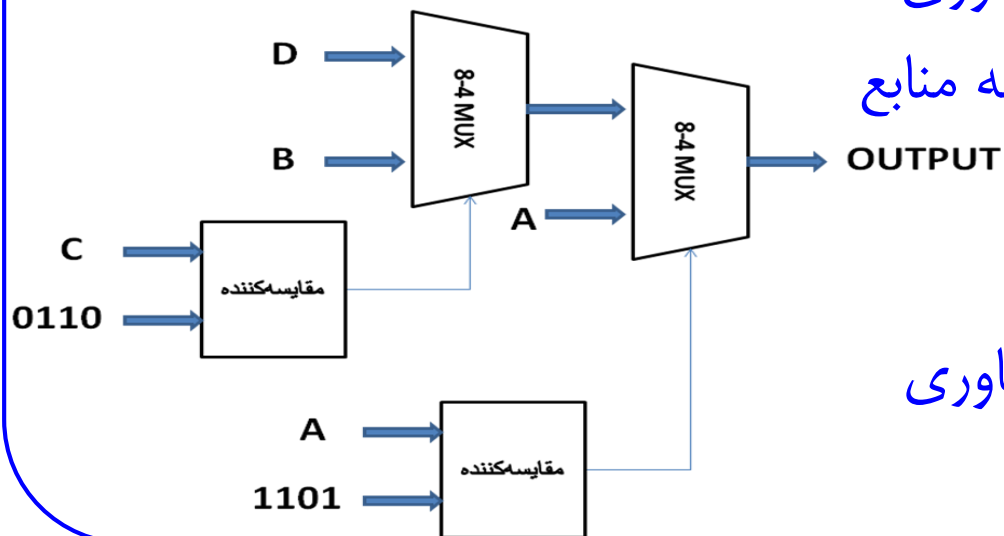
– با جزئیات بیشتر





## سنتر

```
process (A, B, C, D)
begin
  if (A = "1101") then
    OUTPUT <= A;
  elsif (C = "0110") then
    OUTPUT <= B;
  else
    OUTPUT <= D;
  end if;
end process;
```



## • سنتر:

به دست آوردن مدار بر حسب بلوک‌ها

تبدیل به معادلات بولین و تعدادی بلوک مشخص (ضرب)

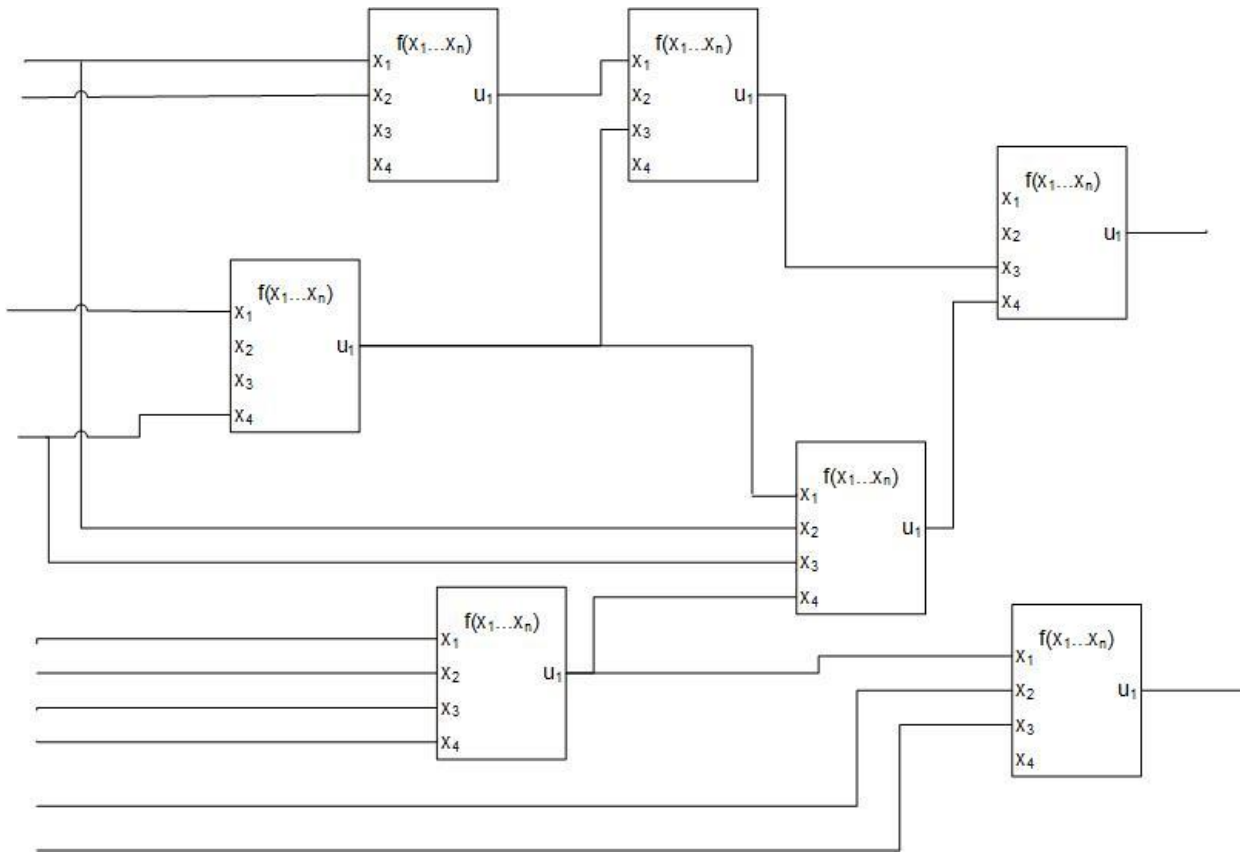
بهینه‌سازی مستقل از فناوری

نگاشت فناوری (تبدیل به منابع سخت‌افزاری موجود)

LUT - ضرب‌کننده، ...

بهینه‌سازی وابسته به فناوری

## • فهرست اتصالات (netlist)



## سنتز

### • سنتز:

□ استفاده مناسب از منابع سخت‌افزاری: □ کتابخانه macro-blockها

- محدودیت (constraints)

- حداقل فرکانس کلاک

- نوع کد کردن حالات FSM

- رجوع به datasheet تراشه

- دیکودر

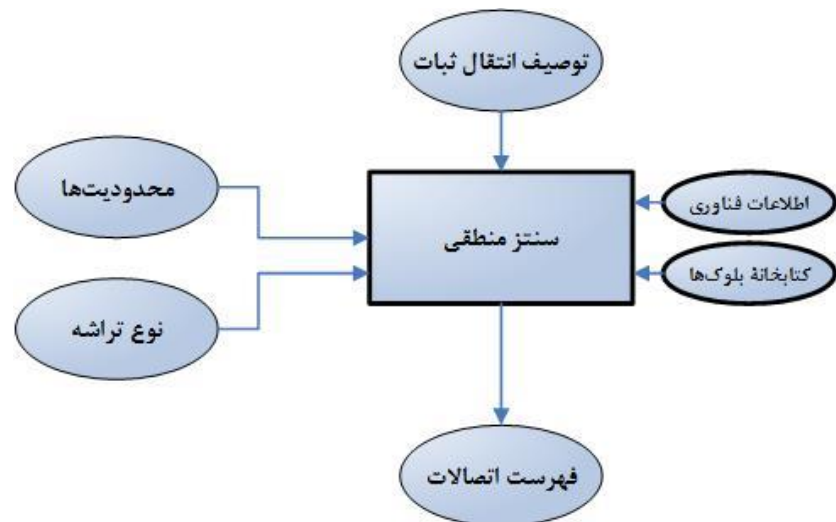
- جمع‌کننده

- پردازنده نرم: سنتز شده

□ ابزار تولید پودمان (CoreGen)

FIFO -

CORDIC -



## سنتز

- فرمت فهرست اتصالات:

□ خاص ابزار:

– Xilinx :NGC

– Altera :VQM

□ استاندارد:

– EDIF (Electronic Data Interchange Format)

– قابلیت import و export کردن به ابزارهای دیگر

# درستی سنجی

## • درستی سنجی پس از سنتز:

شبيه‌سازی: 

### Testbench –

- اعمال ورودی‌ها و تحلیل خروجی‌ها (داده‌های پیش از سنتز)
- تفاوت با شبیه‌سازی پیش از سنتز: اطلاعات بسیار بیشتر
- ← کندتر
- علت نیاز به شبیه‌سازی پیش از سنتز؟
- علت نیاز به شبیه‌سازی پس از سنتز؟
- طراح بداند چه تولید شده؛ مطلوب؟

## درستی سنجی

### • درستی سنجی پس از سنتز:

```
process (SELECT, A, B)
begin
  ...
  if SELECT = `1` then
    Z <= A;
  end if;
  ...
end process;
```

```
process (A, B)
begin
  if SELECT = `1` then
    Z <= A;
  else
    Z <= B;
  end if;
end process;
```

□ نیاز به شبیه سازی پس از

سنتز

- تولید لچ

- اجتناب از تفاوت نتایج پیش و

پس از سنتز

- لزوم وارد کردن کردن همه

سیگنال های خوانده شده در

لیست حساسیت برای مدارهای

ترکیبی

# درستی سنجی

## • درستی سنجی پس از سنتز:

### □ تحلیل مدار

- تحلیل زمانی: تخمینی

- تحلیل توان مصرفی: تخمینی

---

```
Timing constraint: NET "reset_IBUF" MAXDELAY = 3.5 ns;  
1 net analyzed, 1 failing net detected.  
1 timing error detected.  
Maximum net delay is 3.984ns.
```

---

```
Slack: -0.484ns reset_IBUF  
Error: 3.984ns delay exceeds 3.500ns timing constraint by 0.484ns  
From To Delay (ns)  
N15.I OLOGIC_X0Y28.SR 3.548  
N15.I OLOGIC_X12Y30.SR 3.121  
N15.I OLOGIC_X0Y24.SR 3.540  
N15.I OLOGIC_X12Y38.SR 3.037
```

---

# جایابی و مسیریابی

## • جایابی:

☐ تعیین محل هر بلوک منطقی

☐ تعیین محل برای بلوک‌های محاسباتی

☐ تعیین محل برای حافظه‌ها

☐ معیار:

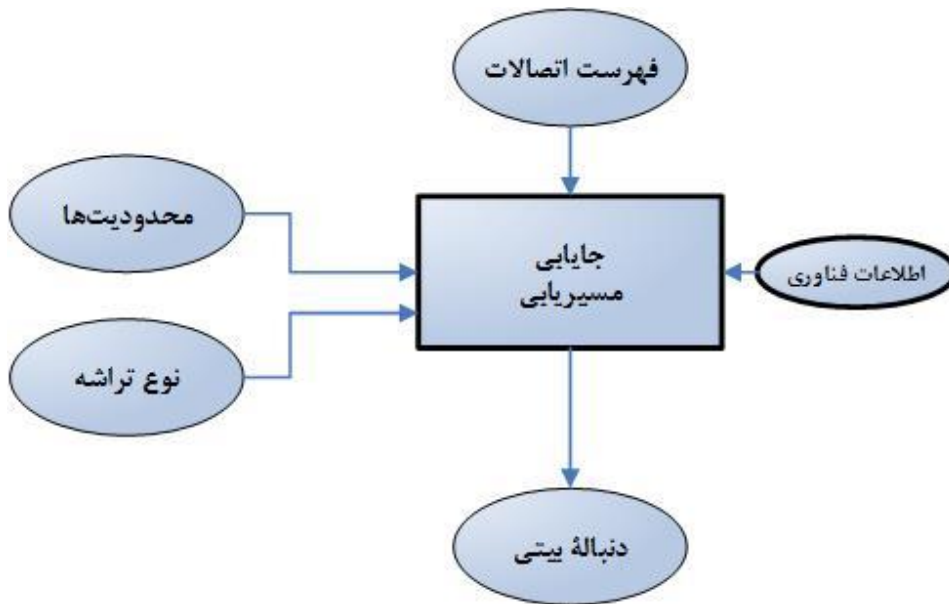
- نگاشت بلوک‌های متصل به هم در نت

لیست به بلوک‌های منطقی نزدیک در

PLD

- کاهش تأخیر

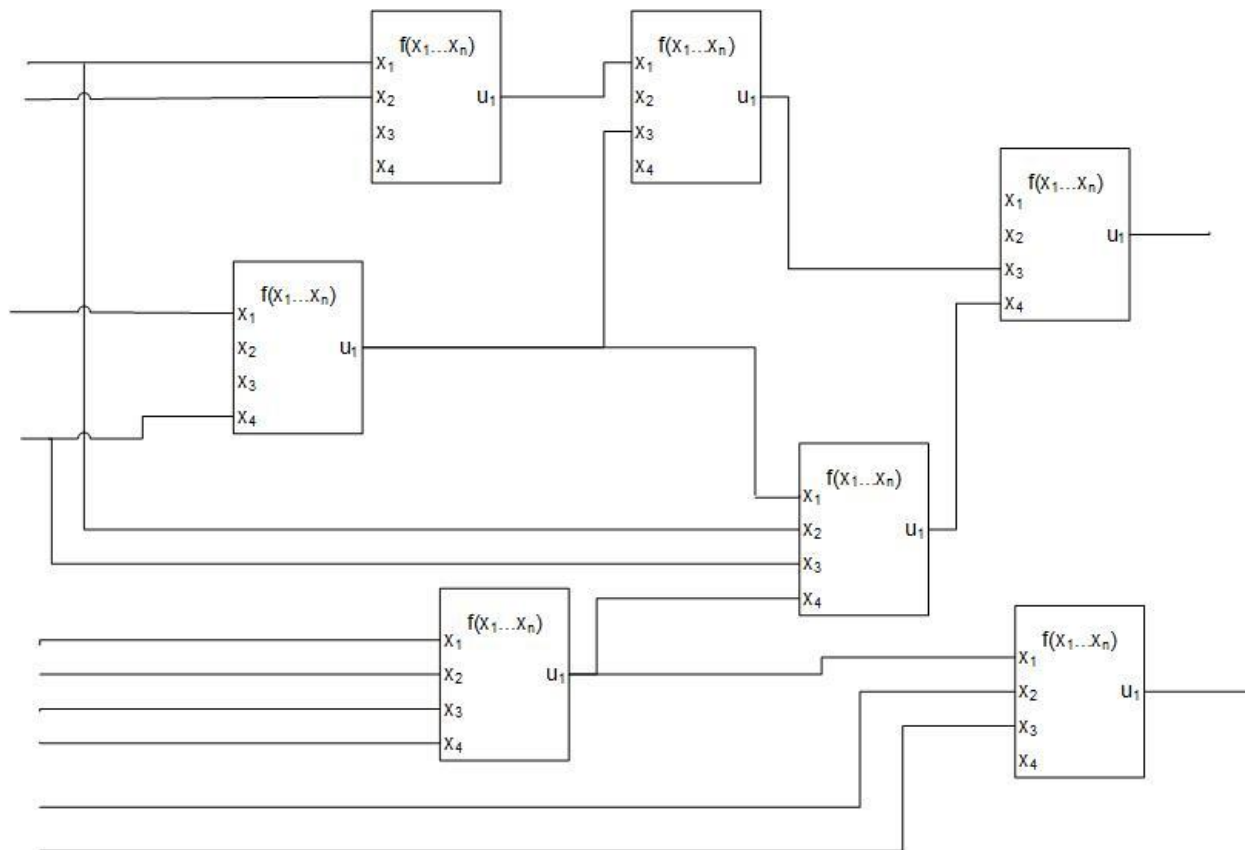
- افزایش احتمال موفقیت مسیریاب



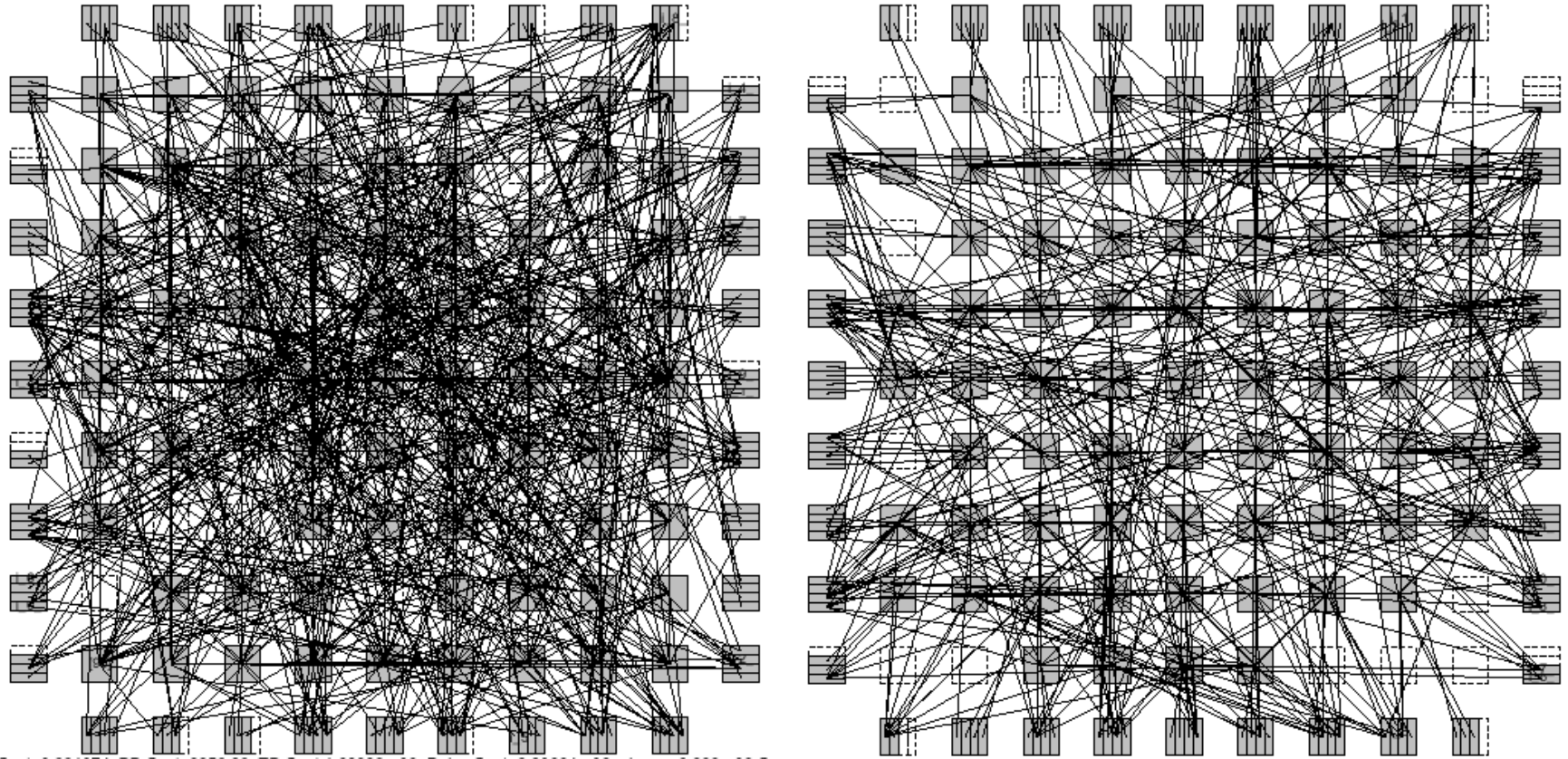


# جایابی

## • ورودی جایابی: نت لیست



## تأثير جایابی روی موفقیت مسیریابی



تنظیم میزان تلاش توسط طراح (effort level) یا ☐ (opt\_level)

# مسیریابی (Routing)

## • مسیریابی:

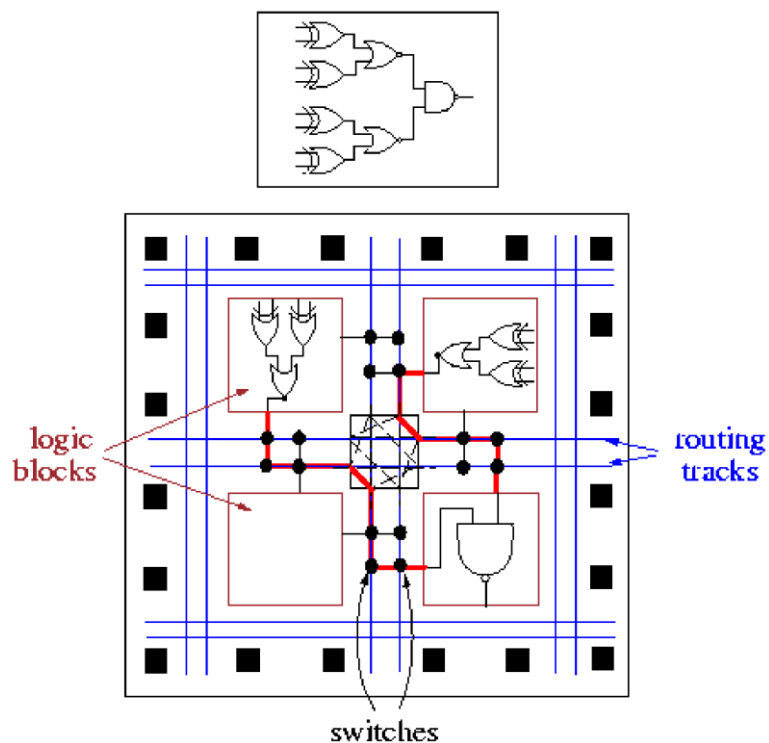
□ تعیین مسیرها

- تعیین نقاط برنامه‌ریزی اتصالات

- سویچ

- MUX

□ جایابی و مسیریابی: بسیار زمان‌بر

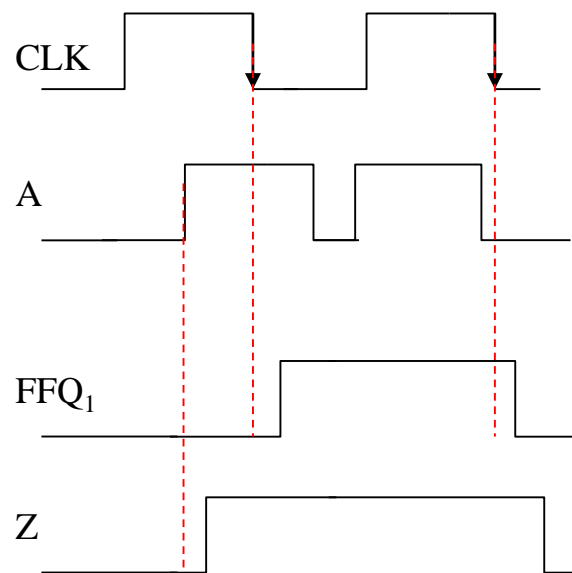
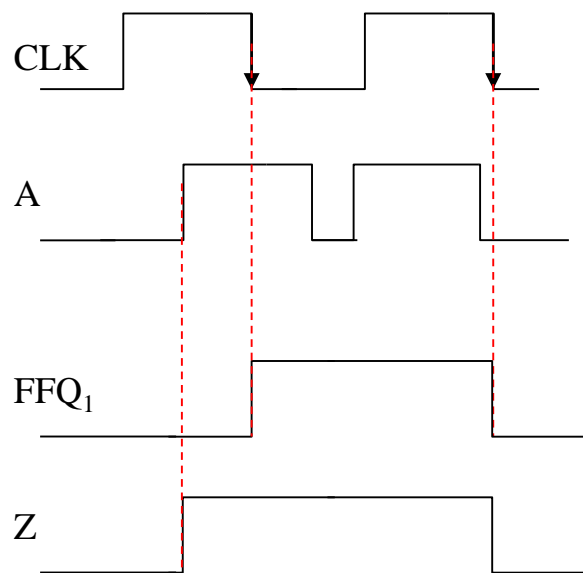


# درستی‌سنجی بعد از چینش

- شبیه‌سازی بعد از چینش (post-layout simulation)

لZoom □

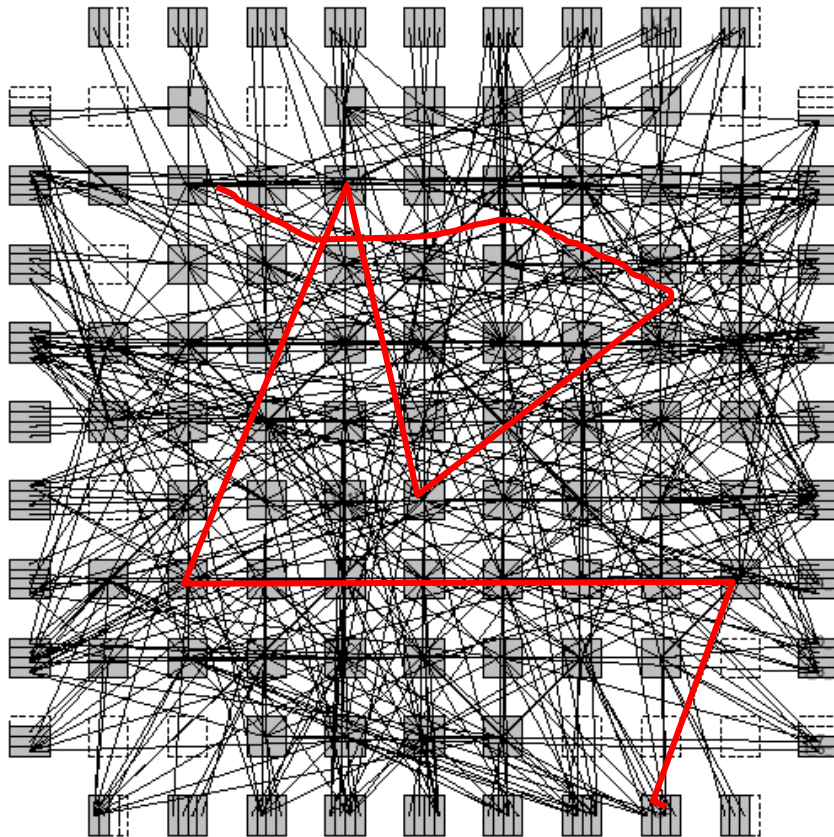
- اطلاعات کامل طرح (شامل طول سیم‌ها، تعداد سوئیچ‌های موجود در مسیر)
- تأخیرهای دقیق (حداقل فرکانس کلاک)
- توان مصرفی دقیق



## جایابی و مسیریابی

- کنترل با استفاده از محدودیت‌ها:

□ تعیین جای مشخص برای بلوک‌های منطقی



```
place_cell div_cntr_15889 SLICE_X49Y60/D6LUT
```