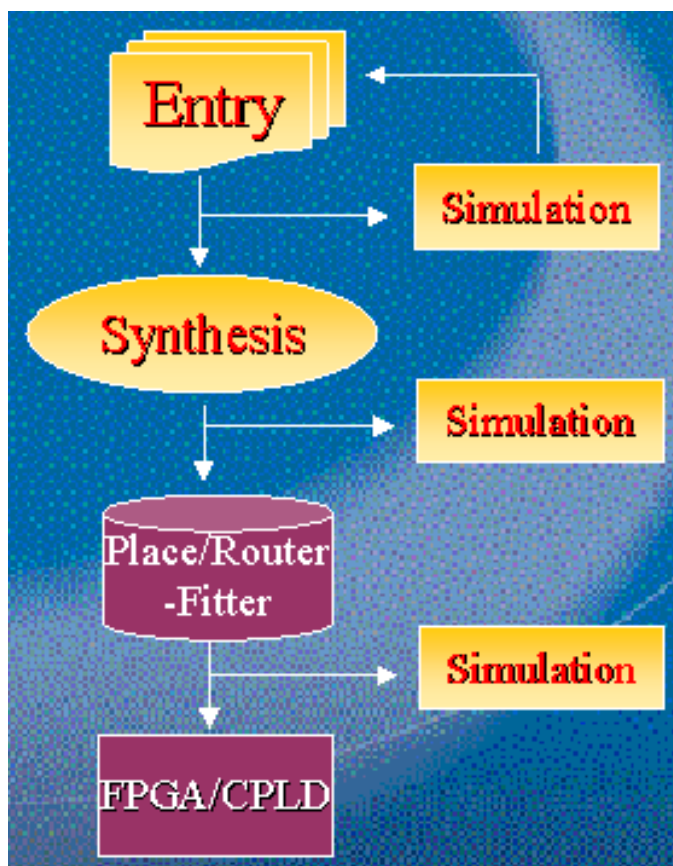


تراشه‌های منطقی برنامه پذیر

چرخه ی طراحی برای FPLD ها



- **Design Entry**

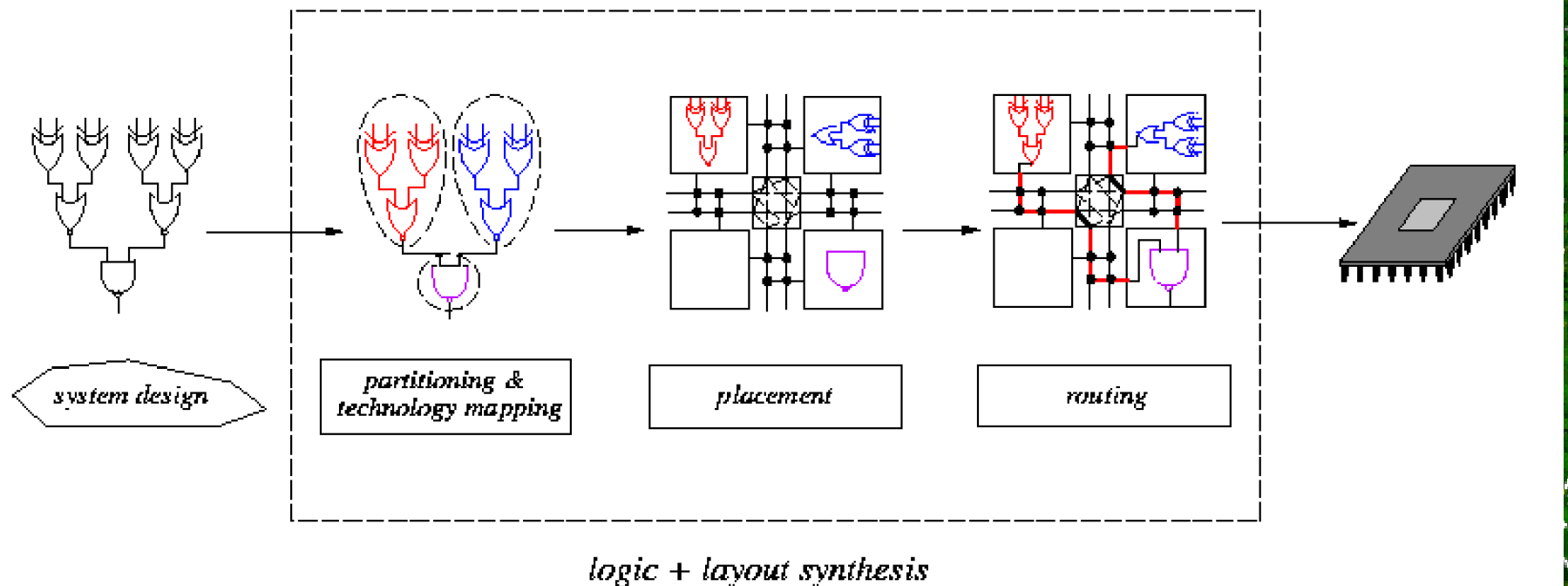
- Schematic Netlist
- HDL
- Waveform
- State Diagram

Textual or Schematic

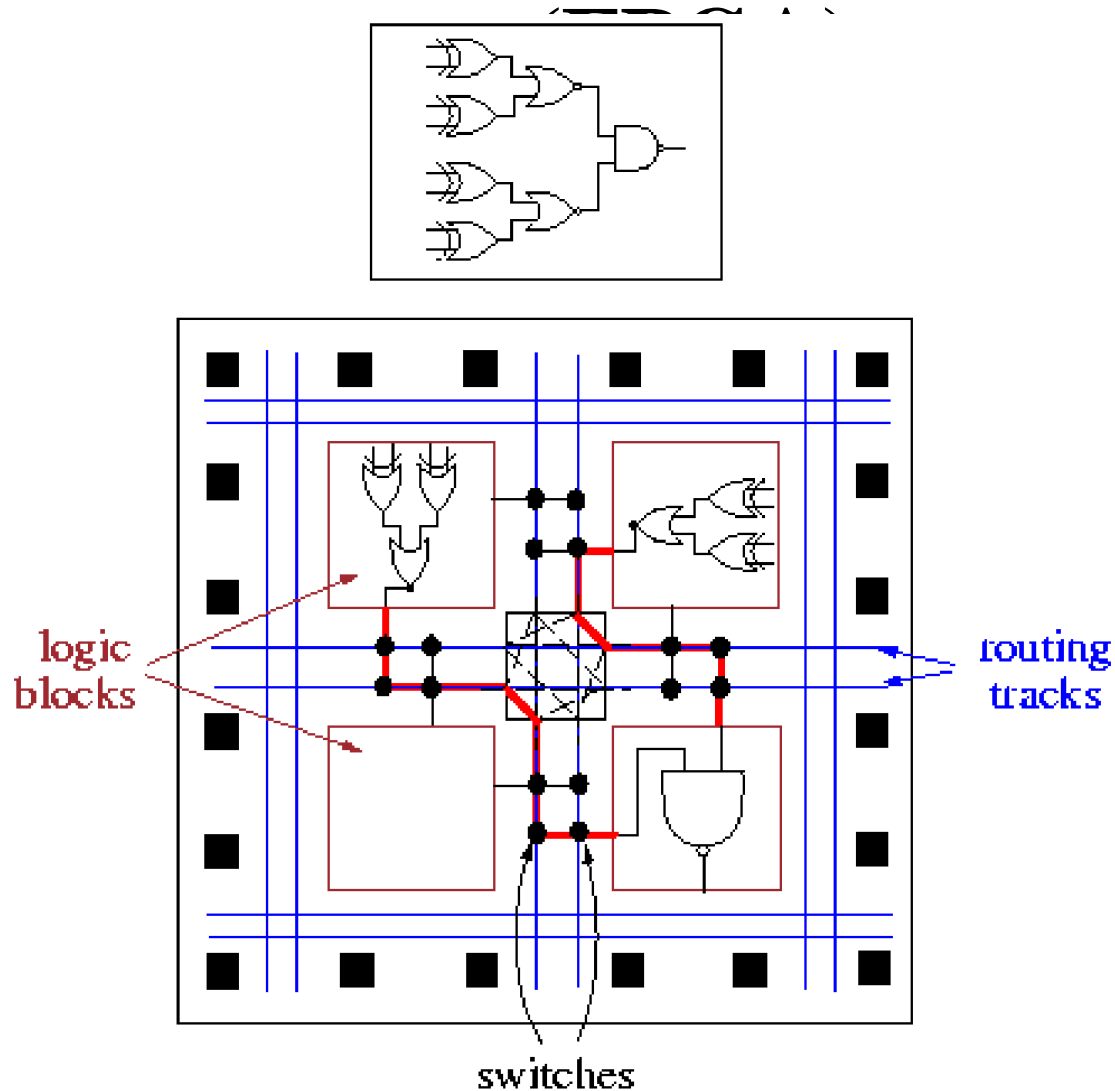
- **Most people today use textual languages (like VHDL or Verilog) rather than schematic for most digital design.**
- **Schematics make poor use of screen space.**
- **Not appropriate for large designs.**
- **Easier tooling (parsing).**



FPGA Placement & Routing



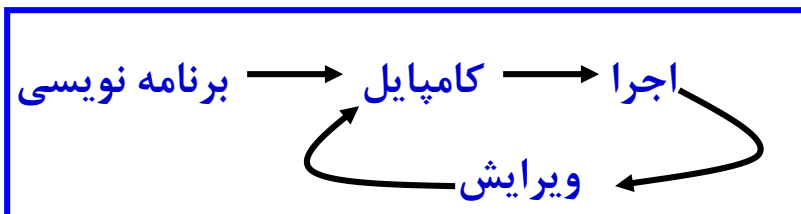
Field Programmable Gate Array



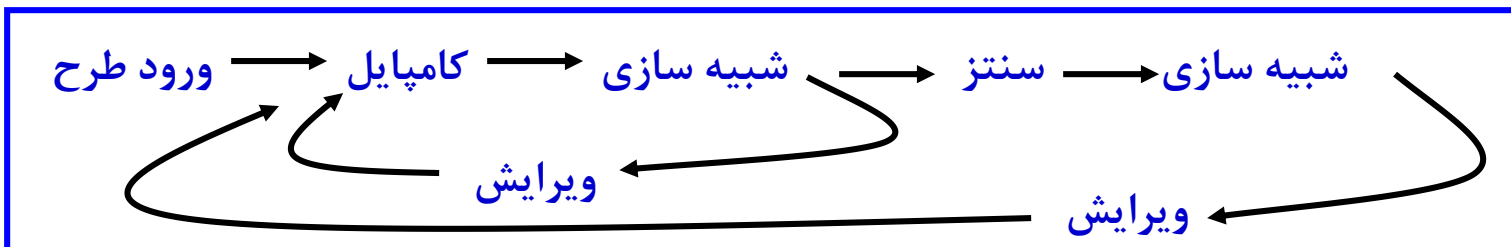
چرخه ی طراحی برای FPLD ها

• مزایا:

- کوتاه شدن پروسه ی طراحی.
- نوآوری بیشتر (پروسه ی طراحی به مراحل بالاتر رفتاری منتقل می شود) (تشابه با زبانهای سطح بالا)
- Debug طرح بسیار آسانتر و سریعتر.



• مانند سیکل برنامه نویسی:



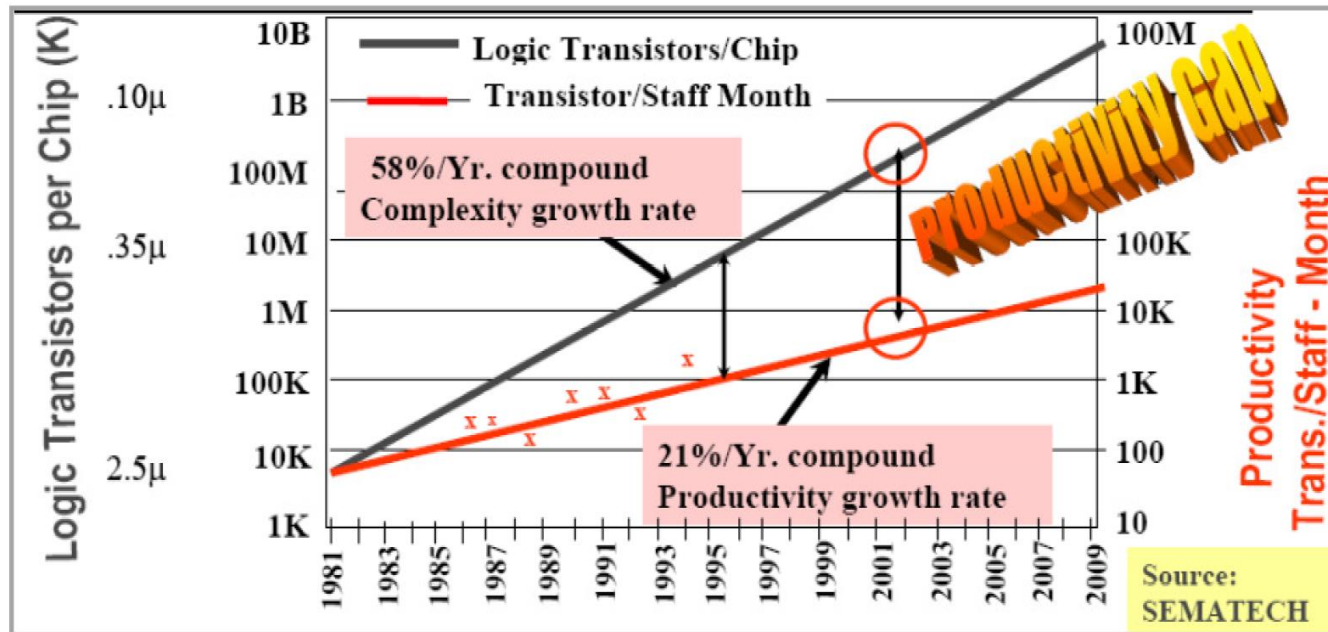
• تغییرات در طرح بسیار آسانتر.

- بعضی شرکتها نسخه های جدید سخت افزار خود را روی CD یا از طریق اینترنت در اختیار مشتری خود قرار می دهند تا EPROM را مجددا برنامه ریزی کند.

Productivity Gap

- **Moore's Law:**
 - **Our ability to manufacture logic transistors:**
 - $\sim 58\%$ per year.
- **Productivity of designers:**
 - **Their ability to design and implement correct and testable transistors per staff-month:**
 - $< 25\%$ per year.

Design Productivity Gap



- 1981 leading edge chip required 100 man-months
 - 10,000 transistors / 100 transistors/man-month
- 2002 leading edge chip requires 30K man-months
 - 150,000,000 / 5000 transistors/man-month
- Designer cost increase from \$1M to \$300M

مقایسه ی FPLD و سایر سبکها

• سرعت:

• چند صد MHz : بسیار بالاتر از سیستمهای SSI-based اما کمتر از ASIC و Custom (حدود ۳-۴ برابر)

Ian Kuon , Jonathan Rose, “Measuring the gap between FPGAs and ASICs,” *FPGA*, 2006.

• علت کندی:

• اتصالات برنامه پذیر ← مقاومت و خازن

• دانسیته:

• کمتر از ASIC (حدود ۱/۴۰ یا ۱/۲۰)

مقایسه ی FPLD و سایر سبکها

- توان مصرفی:
- بیشتر از ASIC (حدود ده برابر)
- زمان توسعه:
- FPLD: prototyping و شبیه سازی با استفاده از Toolها (چند روز و هفته)
- ASIC: ساخت maskها، ساخت ویفر، packaging, Testing بسیار وقت گیر (چند ماه)

مقایسه ی FPLD و سایر سبکها

• Prototyping:

- در FPLD به سرعت می توان نمونه اولیه را تولید کرد: Time-to-Market
- بعضی از شرکتها نسخه Mask Programmed را به مشتری عرضه می کنند.

• هزینه ی تست:

- در FPLD کاربر مجبور نیست برای هر طرح، IC را تست کند.

مقایسه ی FPLD و سایر سبکها

• تغییر در طرح :

• FPLD را می توان به طور الکتریکی در چند میلی ثانیه (تا دقیقه) customize کرد.

• ASIC نیاز به custom mask چند هزار دلاری دارد (برای تولید بسیار بالا قابل توجیه است).

• Inventory Risk:

• در ASIC باید میزان نیاز بازار به دقت ارزیابی شود (بیش از حد یا کم تولید نشود)

• اما FPLD مانند SSI و MSI استاندارد برای نیازهای عام قابل استفاده است.

مقایسه ی FPLD و سایر سبکها

• هزینه:

• مسایل بالا در هزینه تاثیر دارند.

• ASIC برای تعداد بسیار بالا مقرون به صرفه است.

• FPLD از نظر طراحی و تغییر در طرح مقرون به صرفه است.

• Tooling

























• Testing

• NRE (Non-Recurring Engineering Cost) اولیه:

• ASIC چندصد هزار دلار (طراحی، تولید ماسکها، توسعه ی تست)

• ← انتخاب بین FPLD و ASIC بستگی به کاربرد و حجم تولید دارد.

مقایسه ی FPLD و Custom Logic

Requirement	FPLD	Discrete Logic	Semi-/Full-Custom Logic
Speed			
Density			
Cost			
Prototype			
Manufacturing			
Future Modification			
Inventory			
Development Tool			



Very Effective



Adequate



Poor