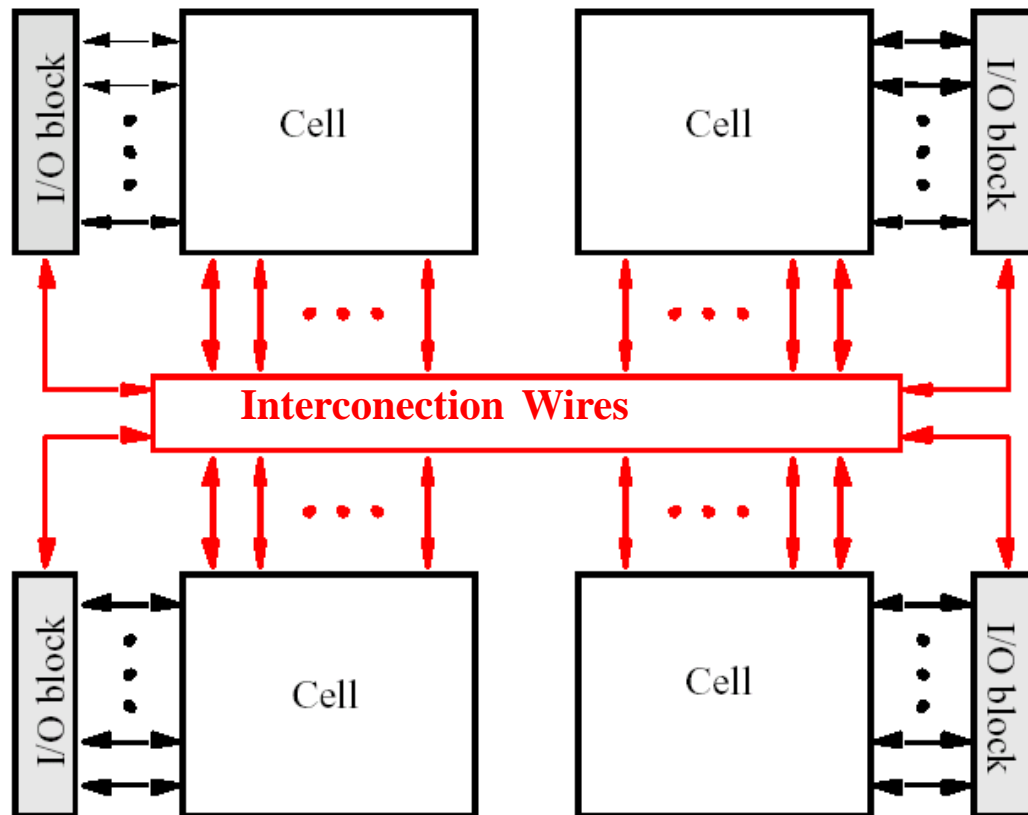
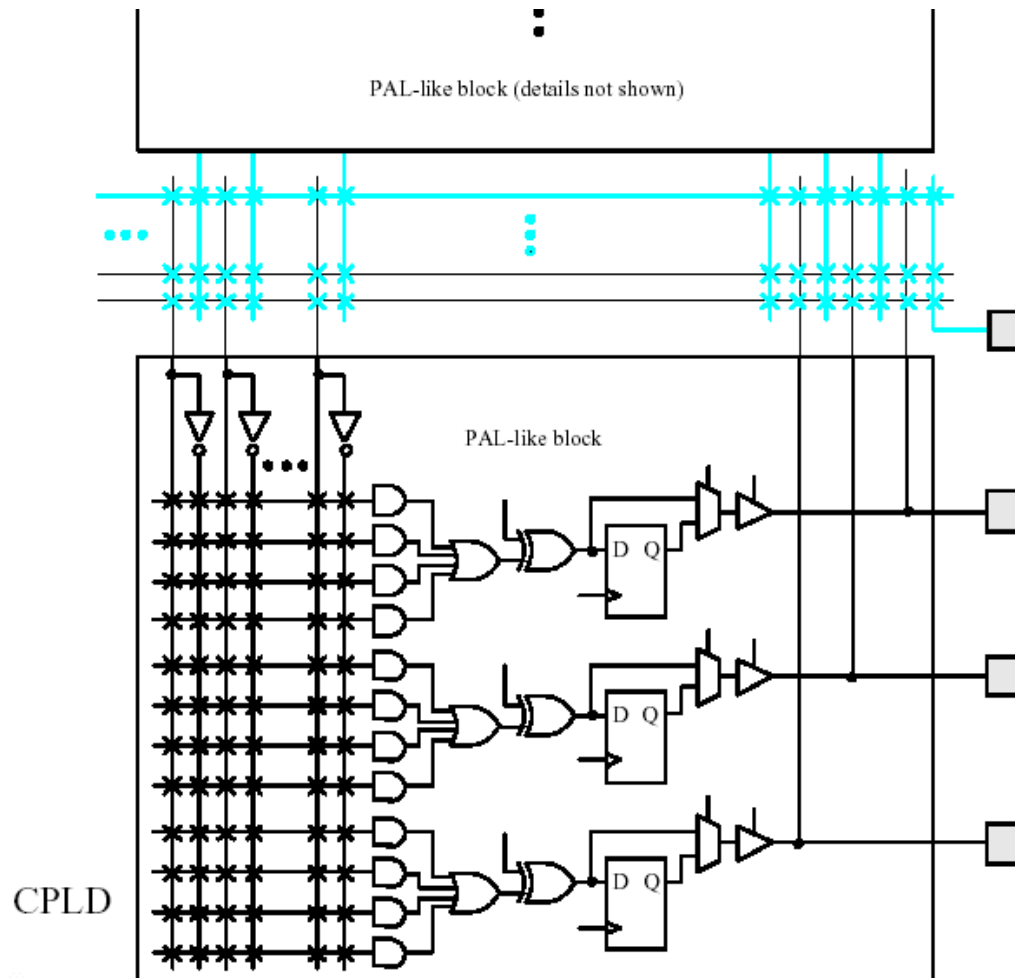


تراشه های منطقی برنامه پذیر

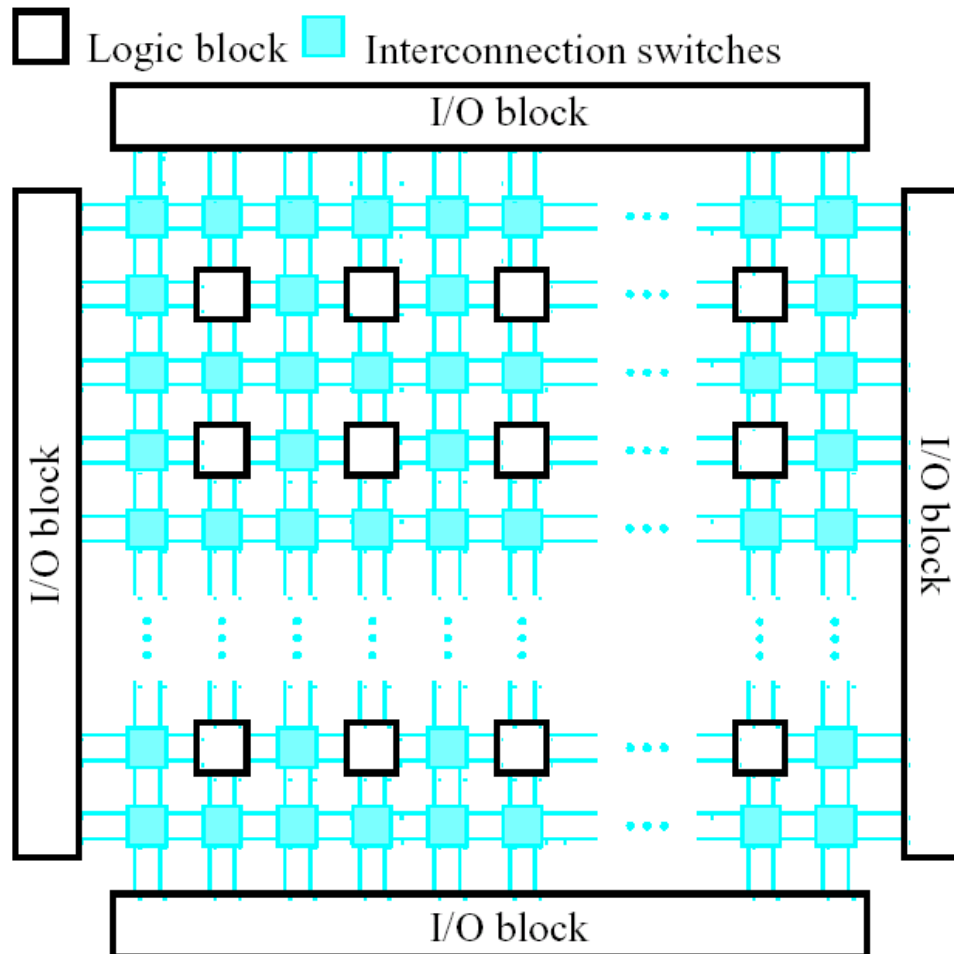
# CPLD



# بخشی از CPLD



# ساختار FPGA



# انواع تراشه‌های برنامه‌پذیر

## • جنبه‌های تفاوت:

☐ فناوری برنامه‌ریزی تراشه

☐ ساختار بلوک‌های منطقی

☐ معماری اتصالات برنامه‌پذیر

☐ ساختار مدار IO block

☐ Hard core

- امکانات سخت‌افزاری خاص

# تکنولوژیهای برنامه ریزی FPLDها

## • تکنولوژیهای اصلی:

### □ SRAM:

- سویچهای قابل برنامه ریزی = ترانزیستورهای کنترل شده توسط سلولهای SRAM

### □ EPROM:

- سویچهای قابل برنامه ریزی = ترانزیستورهای floating gate که با تزریق بار به گیت شناور، خاموش می شوند.

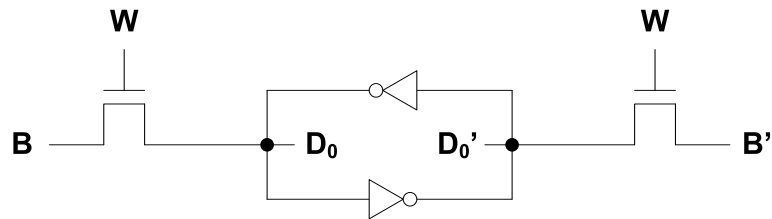
### □ EEPROM و Flash:

- قابل پاک کردن به صورت الکتریکی

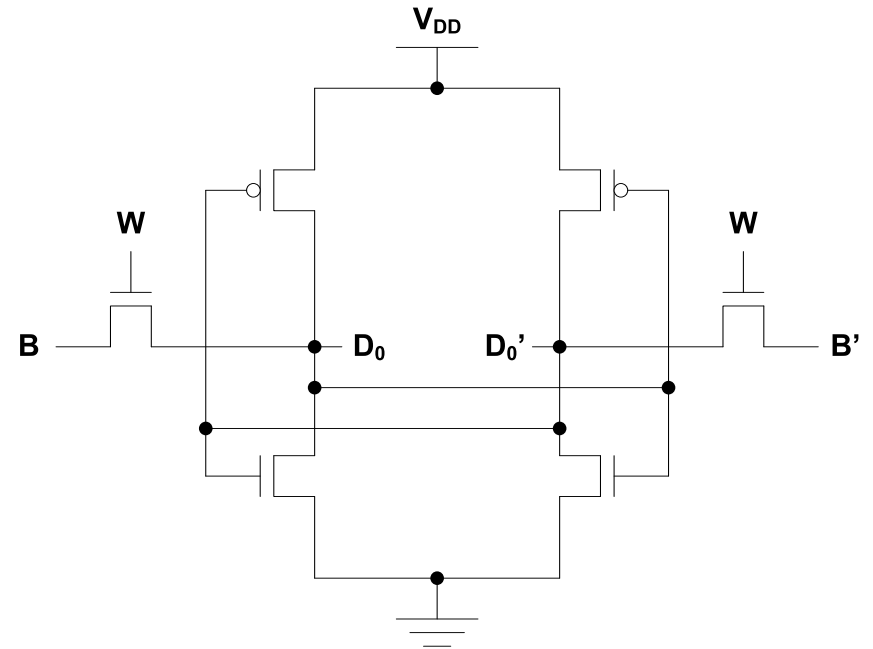
### □ Antifuse:

- با برنامه ریزی الکتریکی، یک مسیر دائمی با مقاومت کم پدید می آید.

# SRAM



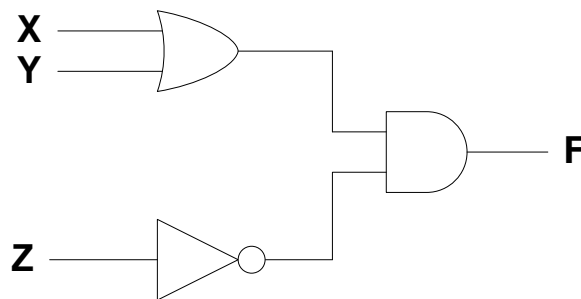
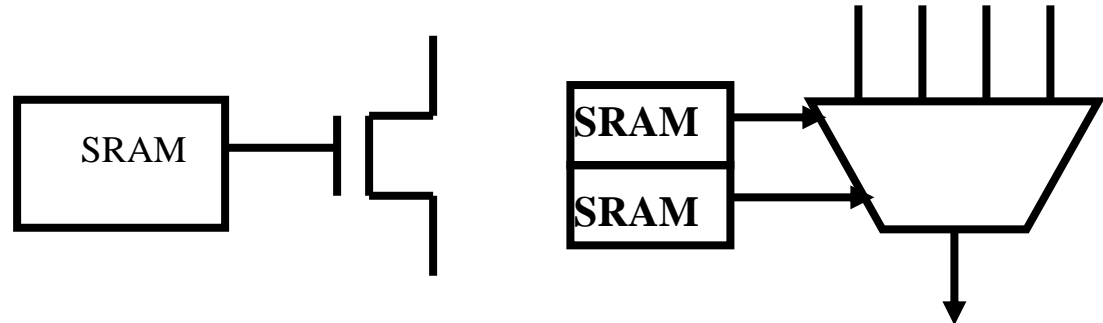
(ب)



(الف)

# SRAM

## • کاربردهای SRAM در FPLD:



(ب)

	000	0
	001	0
	010	1
	011	0
$A_2(X)$	100	1
$A_1(Y)$	101	0
$A_0(Z)$	110	1
	111	0

→ D(F)

(الف)



# تراشه‌های برنامه‌پذیر مبتنی بر SRAM

## • مزایا:

□ برنامه ریزی مجدد سریع.

□ برنامه ریزی on-chip به دفعات نامحدود.

□ prototyping در داخل سیکل طراحی

← - کارخانه ی سازنده می تواند همه مسیرها را با reprogram کردن FPGA تست کند

← - کاربر، آی سی کاملاً تست شده را می گیرد و نیازی به ایجاد الگوهای تست و مدارهای DFT ندارد.

# تراشه‌های برنامه‌پذیر مبتنی بر SRAM

## • اشکالات:

❑ مساحت (اشکال اصلی):

– ۵ یا ۶ ترانزیستور برای هر سلول SRAM

– اشغال درصد بالایی از مساحت توسط SRAM

❑ نیاز به حافظه خارجی non-volatile (فلش)

– دارای مدار حسگر power-on برای initialization

❑ امنیت کم طرح (intellectual property) در برابر سرقت

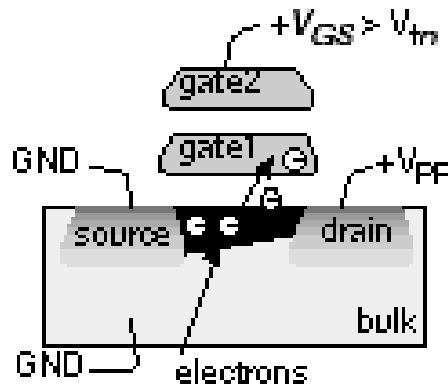
– نیاز به انتقال bitstream به FPGA ← شنود

– باید bitstream کد شود

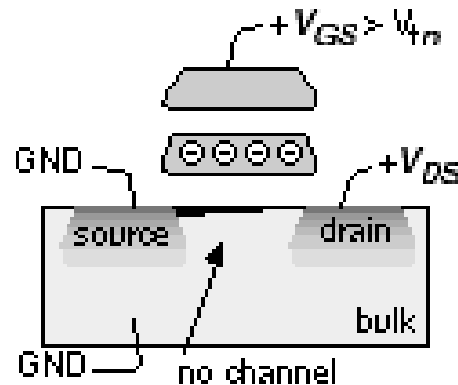
❑ توان مصرفی بالای سلول‌های SRAM

– حتی وقتی که برنامه آن تغییر نمی‌کند

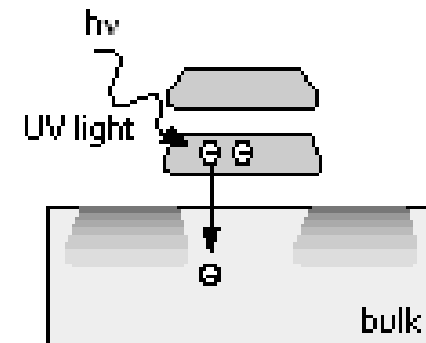
# EPROM/EEPROM/Flash



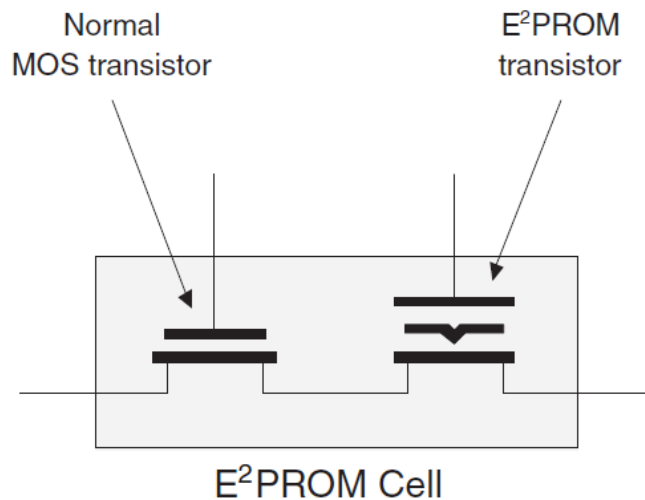
(a)



(b)



(c)



• ولتاژ برنامه ریزی بالا ← محبوس شدن الکترونها  
 •  $V_{dd}$  نمی تواند ترانزیستور را روشن کند

• **EEPROM**: باز گرداندن الکترونها با میدان الکتریکی (ظرفیت کمتر از EPROM).

# تراشه‌های برنامه‌پذیر مبتنی بر E<sup>2</sup>PROM و فلش

## • EPROM:

- ☐ پاک کردن با اشعه UV
- ☐ مساحت کم (حدود ۲/۵ برابر کمتر)

## • EEPROM و فلش:

- ☐ پاک کردن به صورت الکتریکی
- ☐ بسیار ارزان‌تر

## • فلش:

- ☐ پاک کردن به صورت بلوک بزرگ

# تراشه‌های برنامه‌پذیر مبتنی بر E<sup>2</sup>PROM و فلش

## • EPROM:

- ☐ پاک کردن با اشعه UV
- ☐ مساحت کم (حدود ۲/۵ برابر کمتر)

## • EEPROM و فلش:

- ☐ پاک کردن به صورت الکتریکی

## • فلش:

- ☐ پاک کردن به صورت بلوک بزرگ
- ☐ تکنولوژی‌های جدید: دو بیت با یک ترازیستور
- ☐ ← بسیار ارزانتر از byte-programmable EEPROM

# تراشه‌های برنامه‌پذیر مبتنی بر E<sup>2</sup>PROM و فلش

## • مزایا:

❑ عدم نیاز به حافظه خارجی

- فضای کمتر روی برد

❑ مساحت بسیار کمتر از SRAM

❑ امنیت بالای طرح:

- عدم نیاز به کد کردن bitstream

- برای سرقت باید لایه‌برداری شود

- امکان تغییر ناخواسته توسط مهاجم:

- نیاز به کلید برای تغییر برنامه

- امکان قفل دائمی

# تراشه‌های برنامه‌پذیر مبتنی بر E<sup>2</sup>PROM و فلش

## • اشکالات:

❑ هزینه ساخت بیشتر

– نیاز به چند مرحله ی ساخت علاوه بر پروسه استاندارد CMOS

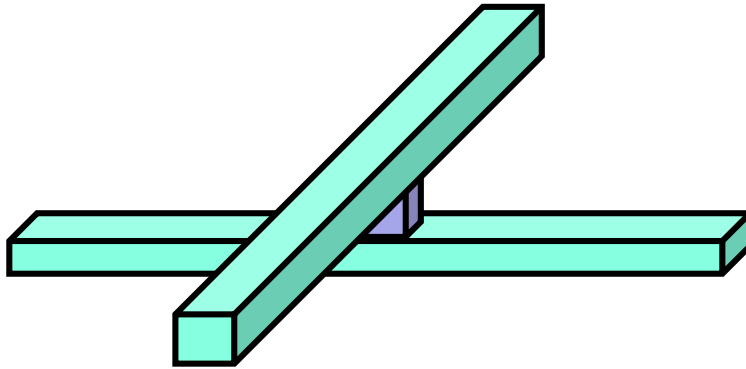
❑ کند بودن برنامه‌ریزی مجدد

– نامناسب برای کاربردهای dynamic reconfiguration

❑ مقاومت روشن ترانزیستور: زیاد

❑ توان استاتیک: زیاد

# آنتی فیوز



□ جریان برنامه ریزی بالا

□ ← ذوب عایق ONO

□ ← اتصال دائم



# تراشه‌های برنامه‌پذیر مبتنی بر آنتی فیوز

## • مزایا:

- ☐ عدم نیاز به حافظه خارجی
- ☐ مساحت بسیار کم
- تقریباً هم اندازه با via ی سیم‌های فلزی
- ← ظرفیت بالای تراشه
- ☐ قابلیت اطمینان بسیار بالا
- TDDDB: Time-Dependent Dielectric Breakdown ~ ۴۰ سال
- ☐ مقاومت کم در حالت روشن (در طی زمان هم کم می ماند).
- ☐ خازن پارازیتی بسیار کمتر
- ☐ امنیت بالای طرح در برابر سرقت
- ☐ عدم امکان تغییر طرح توسط متخاصم (← برای کاربردهای حساس)
- ☐ توان مصرفی بسیار کمتر

# تراشه‌های برنامه‌پذیر مبتنی بر آنتی فیوز

## • اشکالات:

- ❑ عدم امکان برنامه ریزی مجدد
- ❑ نیاز به مدار اضافی برای برنامه ریزی
- ایجاد ولتاژ و جریان بالا

## مقایسه تراشه‌ها

مقاومت در برابر SEU	باراوری برنامه-ریزی	فرایند ساخت	امنیت تراشه	سرعت برنامه-ریزی مجدد	توان مصرفی	تأخیر سوئیچ-های برنامه-پذیر	مساحت سلول برنامه-ریزی	قابلیت برنامه-ریزی مجدد	فناوری برنامه‌ریزی
ضعیف	۱۰۰٪	CMOS استاندارد	مناسب	بالا	متوسط	متوسط	زیاد	دارد	SRAM
قابل قبول	۱۰۰٪	فرایند فلش	خیلی خوب	متوسط	متوسط	متوسط	کم	دارد	E <sup>2</sup> PROM و فلش
عالی	۹۰٪ >	فرایند آنتی‌فیوز	خیلی خوب	غیر قابل برنامه-ریزی مجدد	کم	کم	خیلی کم	ندارد	آنتی‌فیوز

# مقایسه تراشه‌ها

## • Programming yield:

❑ درصد تراشه‌هایی که به طور موفقیت‌آمیز برنامه‌ریزی می‌شوند

## • SEU:

### ❑ Single-Event Upset

– اثرات تشعشعی ذرات نوترون (در جو) یا آلفا (در مواد بسته‌بندی تراشه)

– در تراشه‌های مبتنی بر SRAM:

– هم SRAM ها هم FF ها

– تعداد SRAM ها خیلی بیشتر از FF ها