

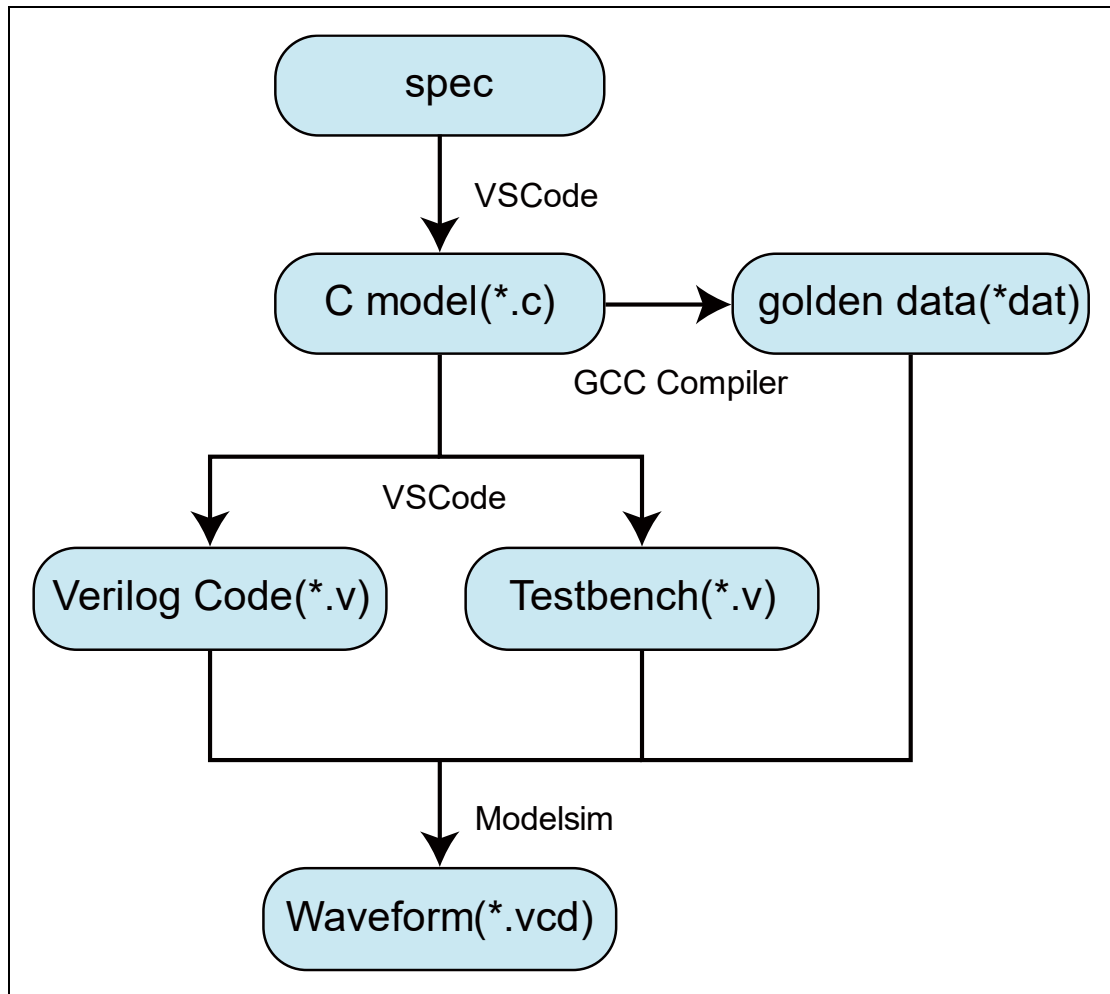
邏輯系統實驗

Final Project

2021/06/27(日)

第 1 組	
組員姓名	學號
陳旭祺	E24099059
張振杰	E24085034
何啟造	E34085337

● 實驗流程圖



● Specification

Sequence detector with overlap 2 patterns 010111 or 1101

偵測連續 cycle 輸入，當連續 4 個 cycle 拿到的值為 1101 或是連續 6 個 cycle 拿到的值為 010111 時，當下 cycle 就會輸出 1。

● C model

自行輸入要驗證的序列 input.dat 與 golden.dat，再執行 test.c。

input.dat
0010111010101011100
golden.dat
0000001010000000100
Commmand Line
<code>\$cd logic_lab</code>
<code>\$gcc -o test test.c</code>
<code>\$/test</code>

```

hsuchichen@LAPTOP-0ID804SL x + v
hsuchichen@LAPTOP-0ID804SL:/mnt/c/Users/user$ cd
hsuchichen@LAPTOP-0ID804SL:~$ ls
desktop
hsuchichen@LAPTOP-0ID804SL:~$ cd desktop/
hsuchichen@LAPTOP-0ID804SL:~/desktop$ ls
hello hello.c hello.py logic_lab
hsuchichen@LAPTOP-0ID804SL:~/desktop$ cd logic_lab
hsuchichen@LAPTOP-0ID804SL:~/desktop/logic_lab$ ls
golden.dat input.dat test test.c
hsuchichen@LAPTOP-0ID804SL:~/desktop/logic_lab$ gcc -o test test.c
hsuchichen@LAPTOP-0ID804SL:~/desktop/logic_lab$ ./test
sequence of input data:0010111010101011100
sequence of golden data:0000001010000000100
sequence of test data:0000001010000000100

SUCCESS!
hsuchichen@LAPTOP-0ID804SL:~/desktop/logic_lab$

```

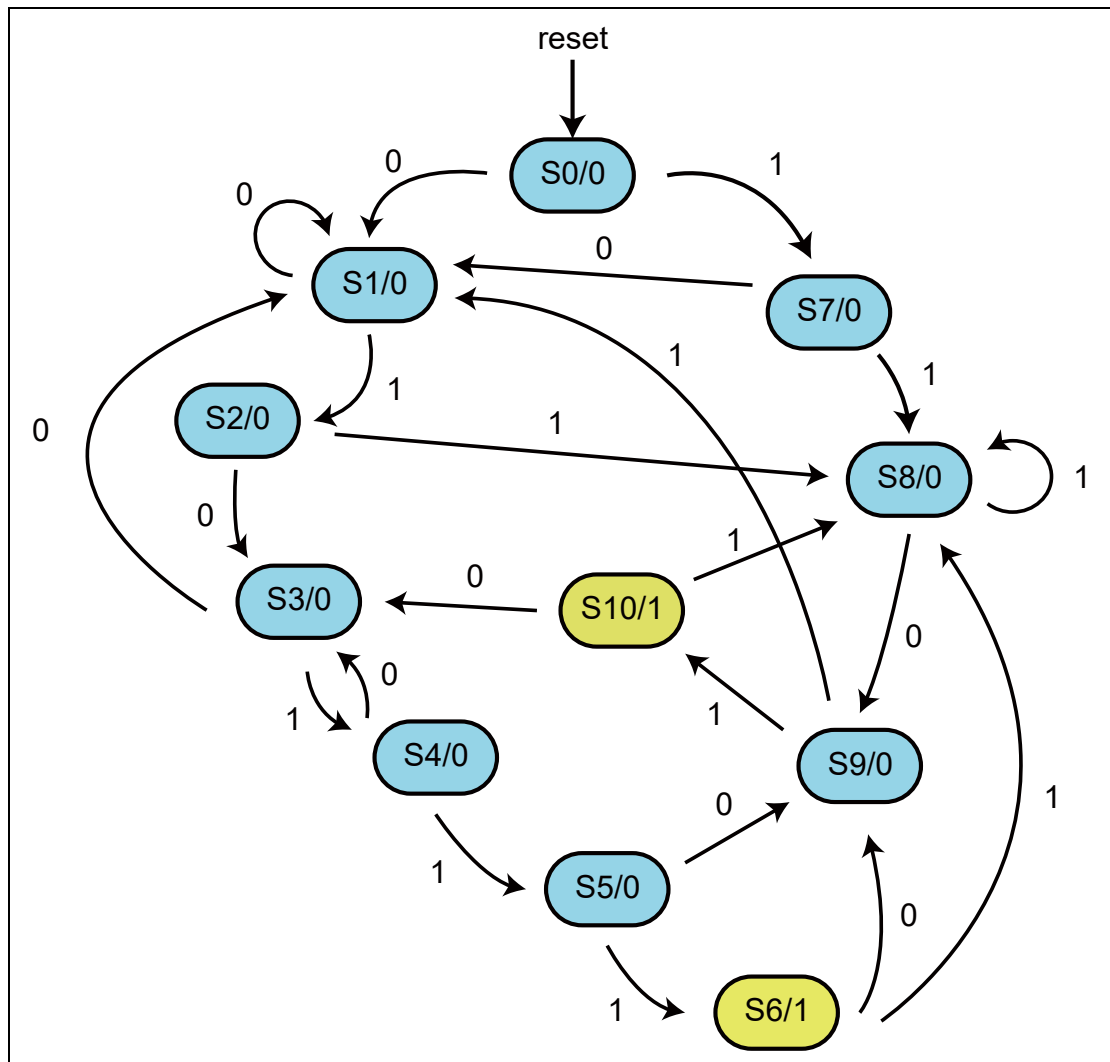
● Verilog Code

1. Input/output port



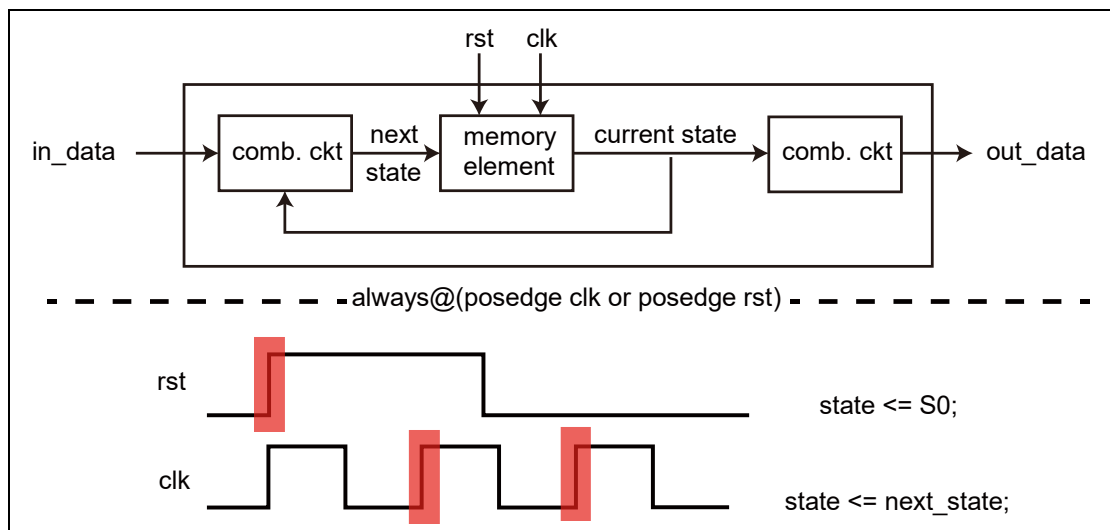
2. State Machine

Present State	Next State		Present Output
	In_data=0	In_data=1	
S0	S7	S1	0
S1	S2	S1	0
S2	S8	S3	0
S3	S4	S3	0
S4	S5	S3	0
S5	S6	S9	0
S6	S8	S9	1
S7	S8	S1	0
S8	S8	S9	0
S9	S10	S1	0
S10	S8	S3	1



3. block diagrams

採用 Moore Machine。



● Testbench

匯入要測試的 input.dat 與預期得到的 golden.dat

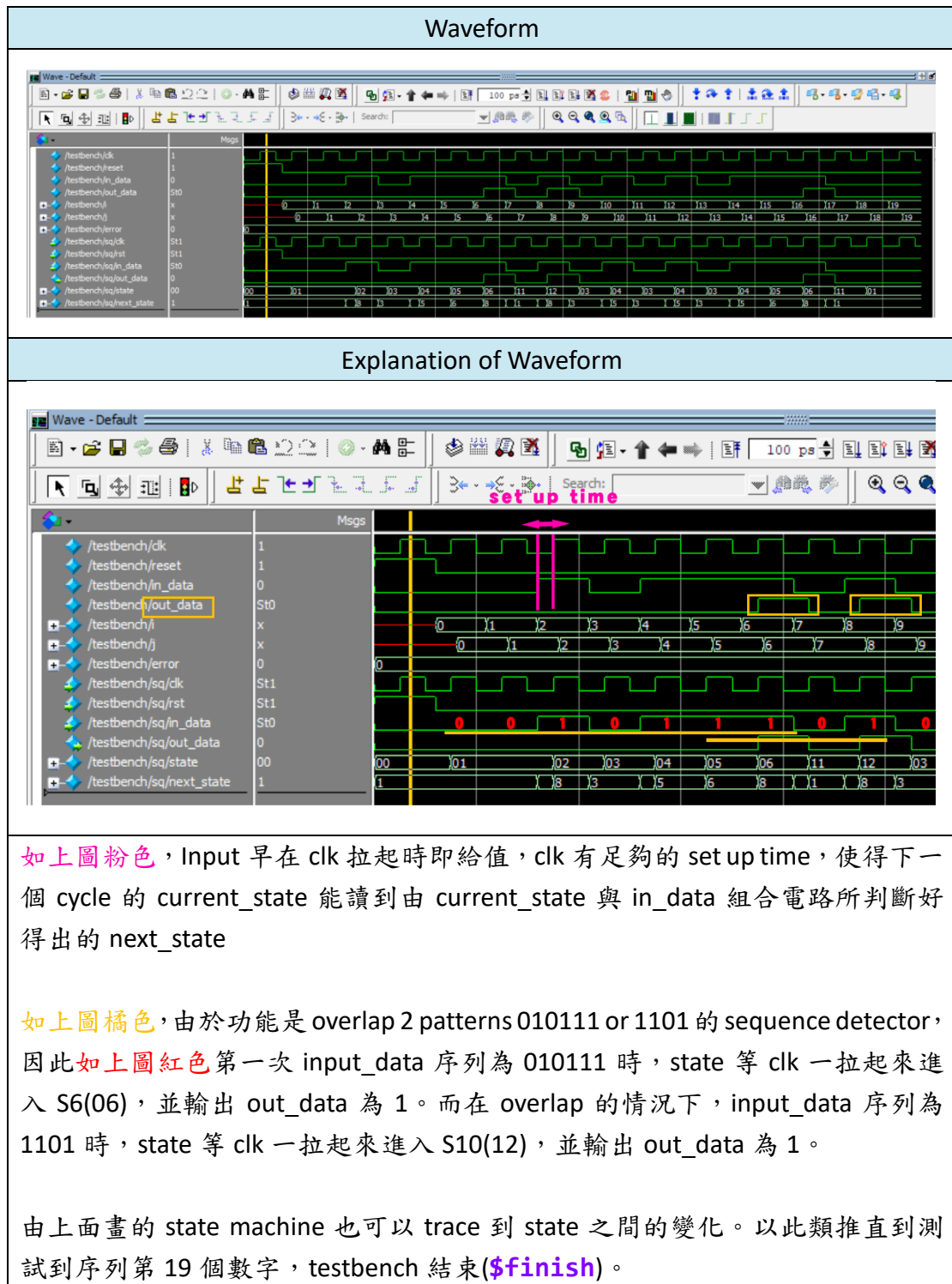
```
$readmemh("../others/input.dat",mem_i);
$readmemh("../others/golden.dat",golden);
```

2. input 值在 clk 一拉起來之前先給，使 clk 有足夠的 set up time 能讀入由 feedback 回來的 current_state 與 in_data 組合電路所判斷好得出的 next_state。

● Simulation Result

Commmand Line
<pre>\$C:/.../verilog \$vlib work \$vlog *.v \$vsim -novopt work.testbench \$add wave ...(drag and drop) \$run 100ns</pre>
Teminal
<pre># ----- # START!!! Simulation Start # ----- # input= 0, out data equal to 0 # input= 0, out data equal to 0 # input= 1, out data equal to 0 # input= 0, out data equal to 0 # input= 1, out data equal to 0 # input= 1, out data equal to 0 # input= 1, out data equal to 1 # input= 0, out data equal to 0 # input= 1, out data equal to 1 # input= 0, out data equal to 0 # input= 1, out data equal to 0 # input= 0, out data equal to 0 # input= 1, out data equal to 0 # input= 1, out data equal to 0 # input= 1, out data equal to 0 # input= 1, out data equal to 1 # input= 0, out data equal to 0 # input= 0, out data equal to 0 # ----- # Simulation END, SUCCESS!!! # ----- # ** Note: \$finish : testbench.v(48) # Time: 530 ns Iteration: 0 Instance: /testbench # 1 # Break in Module testbench at testbench.v line 48 VSIM 20>]</pre>

邏輯系統實驗 Final Project 第 1 組



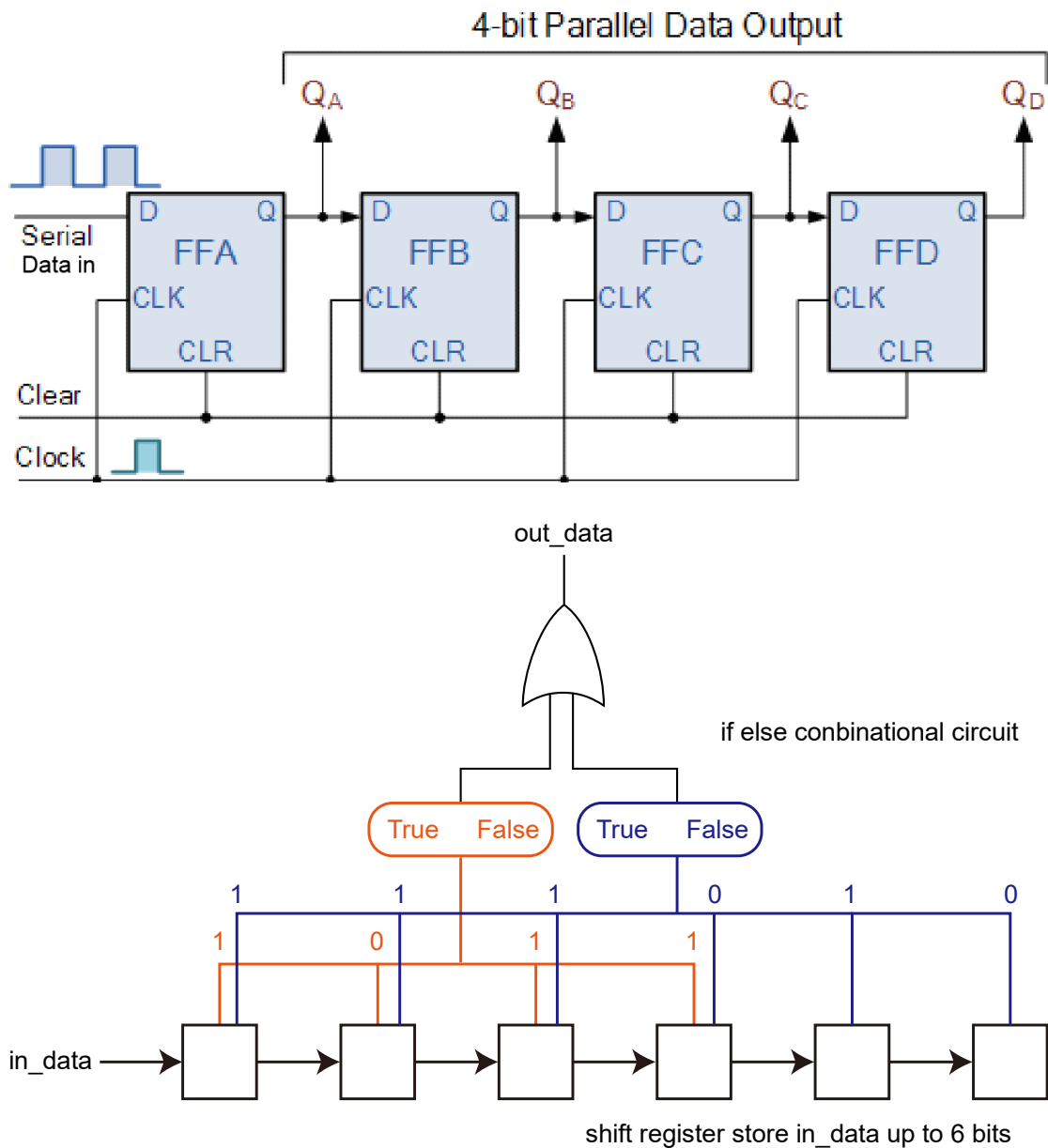
● 心得

1. 組員一 陳旭祺

本次 Final Project 為實作上課講的 sequence detector，大部分的程式助教其實都打好了，我們只是改個參數而已。除了用 state machine 實作之外，我其實一開始有想用 shift register 去存每個 bit 然後用一個 if else 的組合電路去判斷，如此

邏輯系統實驗 Final Project 第 1 組

做的話就不需要再想 state machine 了。



2. 組員二 張振杰

對於這次實驗由於不理解題目要求，所以也給不了什麼實質的貢獻或更好地建議，只能在一旁待機。在看了組員所解釋各個 module 的運作原理後，也才大致了解這次實驗的內容。

3. 組員三 何啟造

這次的實驗相較於前面幾次來說比較有難度，很多地方也是聽了隊友的講解後才了解。所以除了幫忙一些很小、簡單的部分以外，剩下的時候我都幾乎處於待機和理解題目的狀態。不過還是可以結合邏設所上的大致了解到需要做的是什麼，這學期也謝謝隊友和助教的幫忙！