

# 邏輯系統實驗

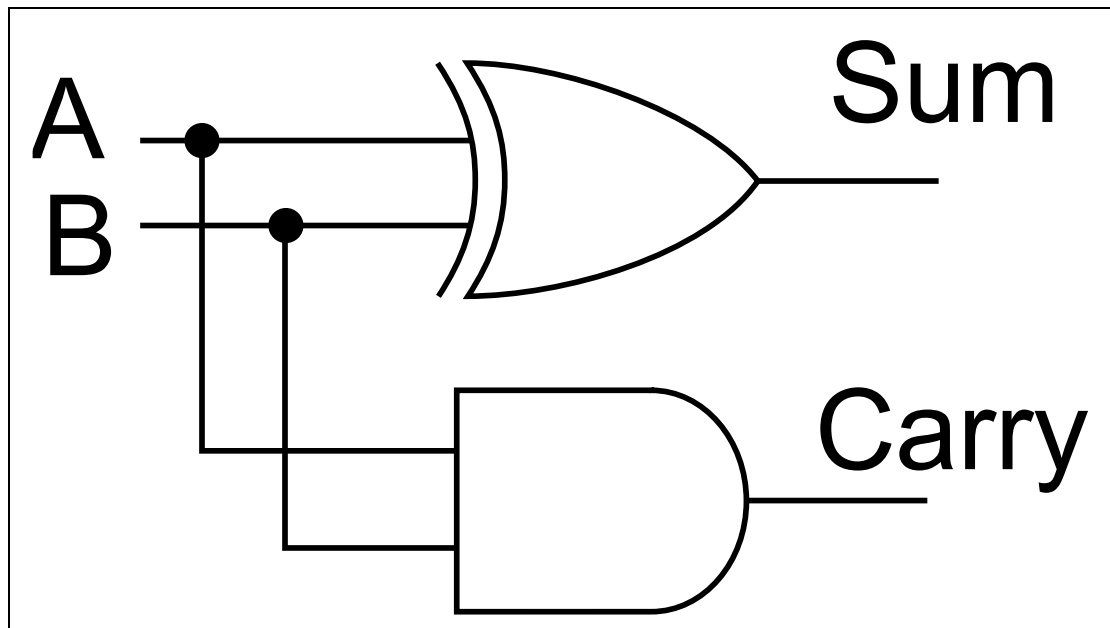
## Lab 4

2021/03/25(四)

第 1 組	
組員姓名	學號
陳旭祺	E24099059
張振杰	E24085034
何啟造	E34085337

## ● 實作題(一): 半加器

### 1. Schematic View



### 2. Verilog Code

```
module Halfadder(A,B,Carry,Sum);  
    input A,B;  
    output Carry,Sum;  
  
    assign Carry = A & B;  
    assign Sum = A ^ B;  
endmodule
```

### 3. Testbench for Verilog Code

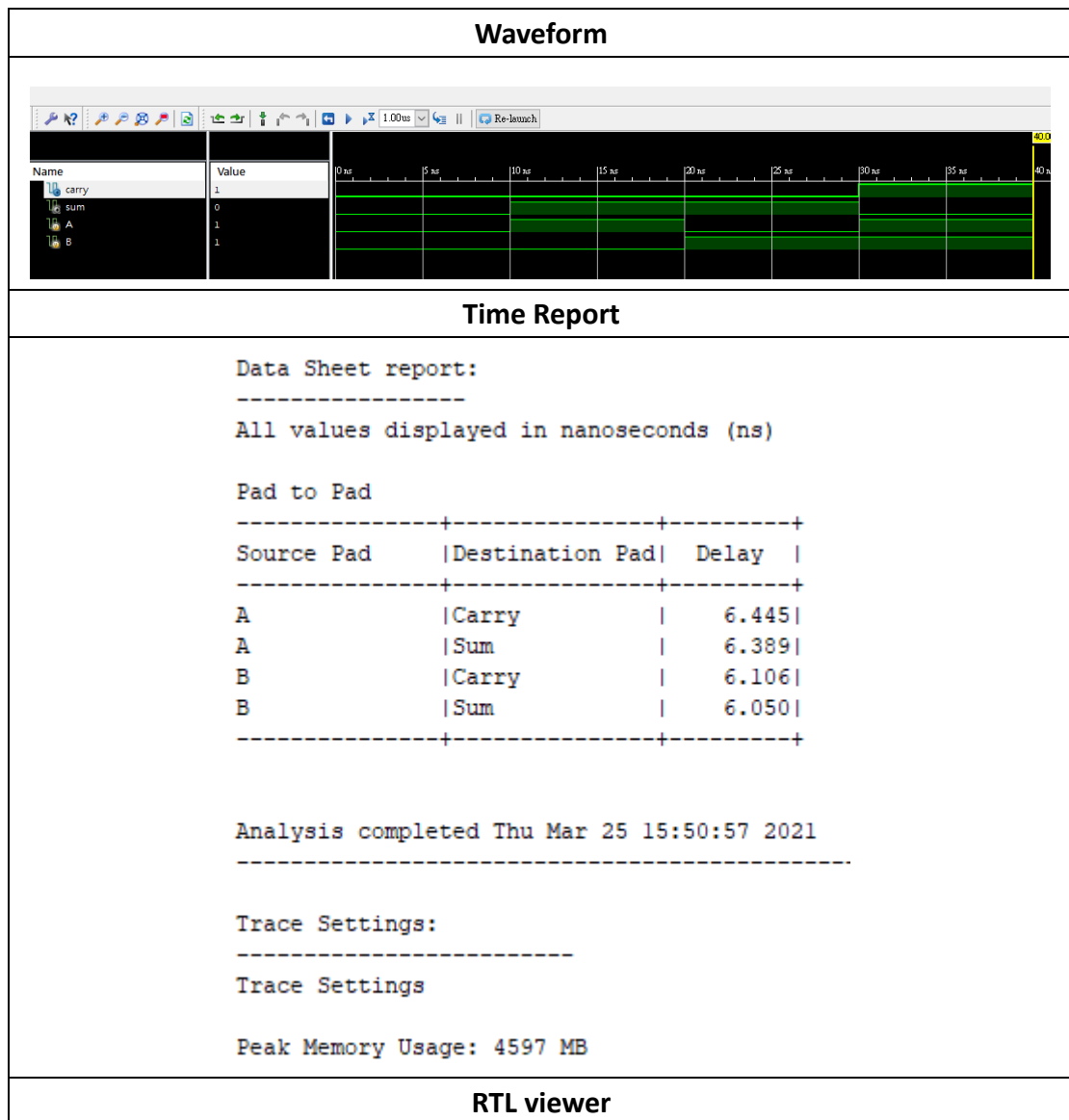
```
`timescale 1ns/10ps  
module testbench;  
    reg A, B;  
    wire carry, sum;  
  
    Halfadder Halfadder(A, B, carry, sum);  
  
    initial begin  
        A = 0; B = 0;  
        #10 A = 1; B = 0;
```

## 邏輯系統實驗 Lab4 第 1 組

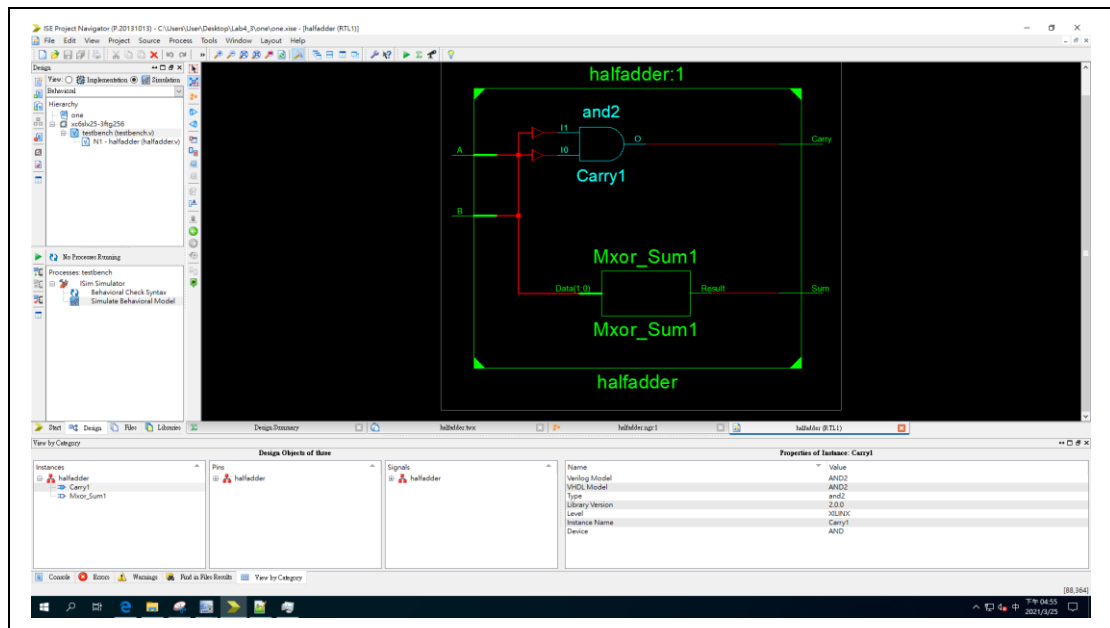
```
#10 A = 0; B = 1;
#10 A = 1; B = 1;
#10 $finish;

end
endmodule
```

### 4. Simulation result

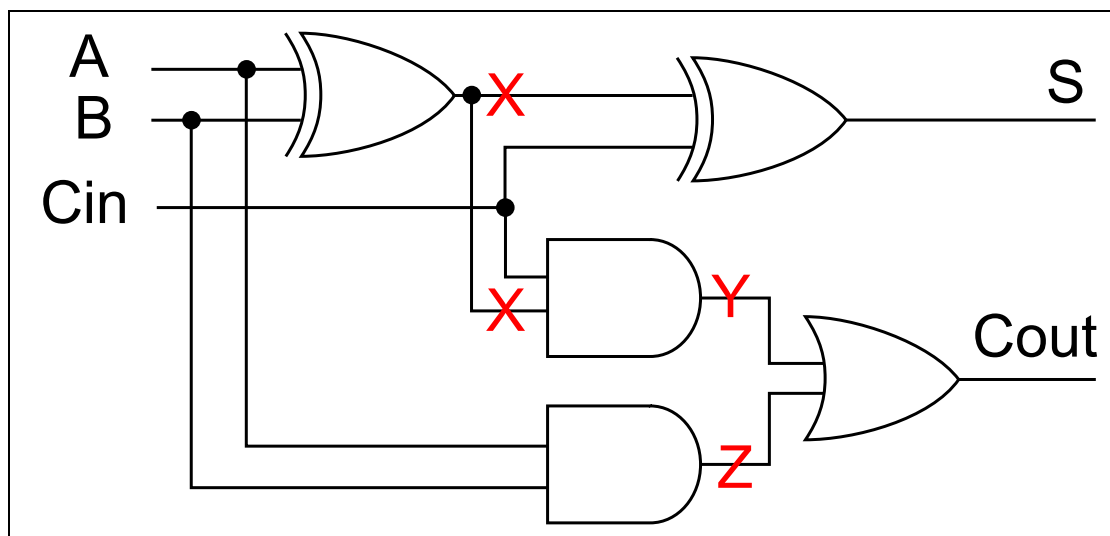


## 邏輯系統實驗 Lab4 第 1 組



### ● 實作題(二): 全加器

#### 1. Schematic View



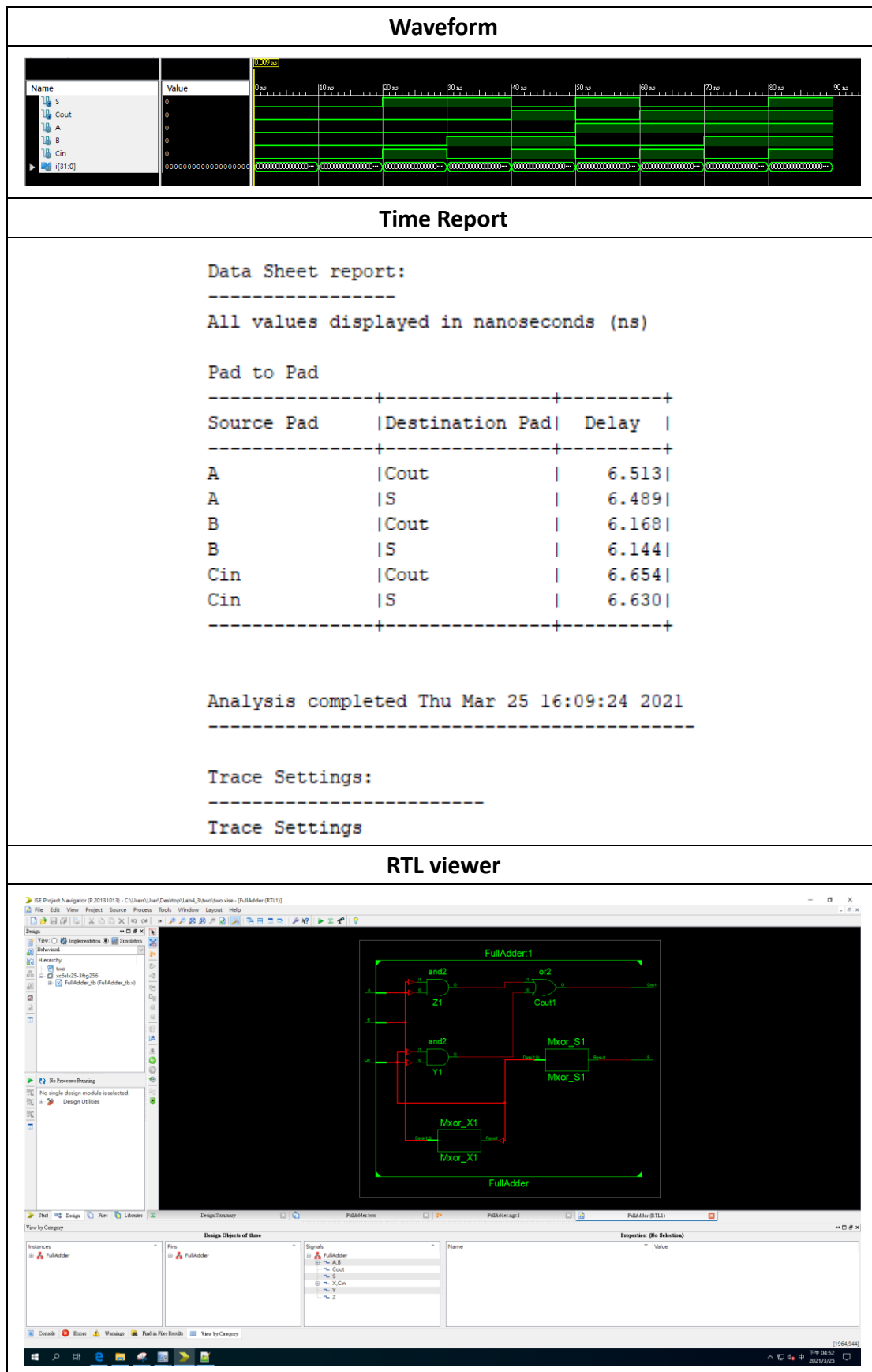
## 2. Verilog Code

```
module FullAdder(A,B,Cin,S,Cout);  
    input A,B,Cin;  
    output S,Cout;  
    wire X,Y,Z;  
  
    xor (X,A,B);  
    and (Z,A,B);  
    and (Y,X,Cin);  
    xor (S,X,Cin);  
    or (Cout,Y,Z);  
endmodule
```

## 3. Testbench for Verilog Code

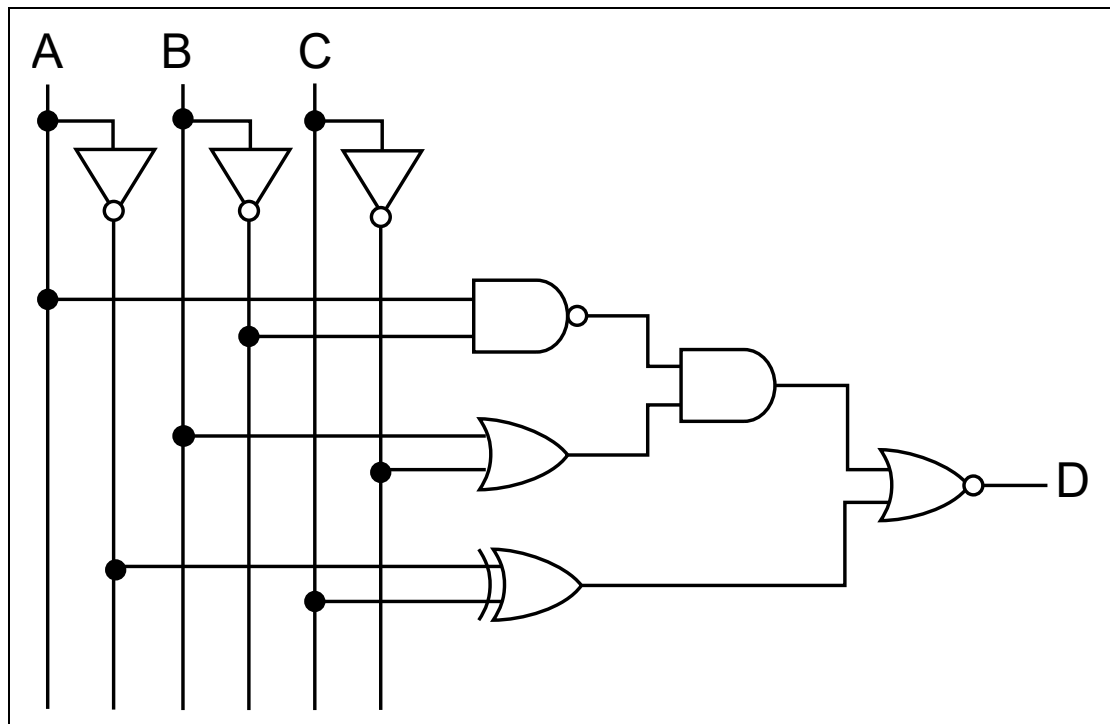
```
`timescale 1ns/10ps  
module FullAdder_tb;  
    reg A,B,Cin;  
    wire S,Cout;  
    FullAdder FullAdder(.A(A),.B(B),.Cin(Cin),.S(S),.Cout(Cout));  
    integer i;  
  
    initial begin  
        A = 0;B = 0;Cin = 0;  
        for (i = 0; i < 8; i = i + 1) begin  
            #10 {A, B, Cin} = i;  
        end  
        #10 $finish;  
    end  
endmodule
```

#### 4. Simulation result



### ● 實作題(三): 基本邏輯

## 1. Schematic View



## 2. Verilog Code

```
module three(A, B, C, D);
    input A,B,C;
    output D;

    assign D=~((~(A&~B)&(B|~C))|(~A^C));
endmodule
```

### 3. Testbench for Verilog Code

```
`timescale 1ns/10ps
module three_tb;
    reg  A,B,C;
    wire D;
    three three(.A(A),.B(B),.C(C),.D(D));
    integer i;

    initial begin
        A = 0; B = 0; C = 0;
```

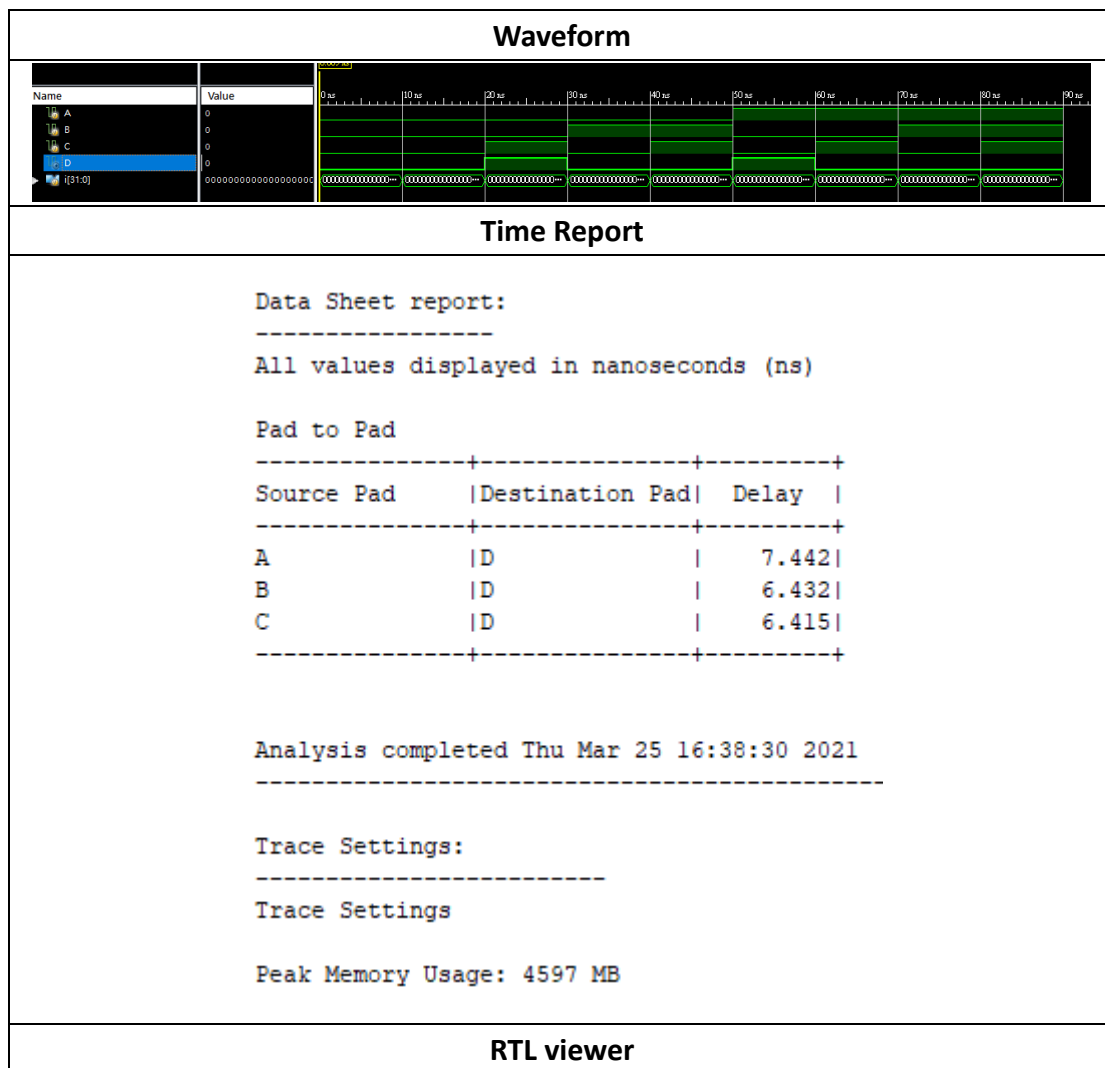
```

for (i = 0; i < 8; i = i + 1) begin
  #10 {A, B, C} = i;
  end
  #10 $finish;
end

endmodule

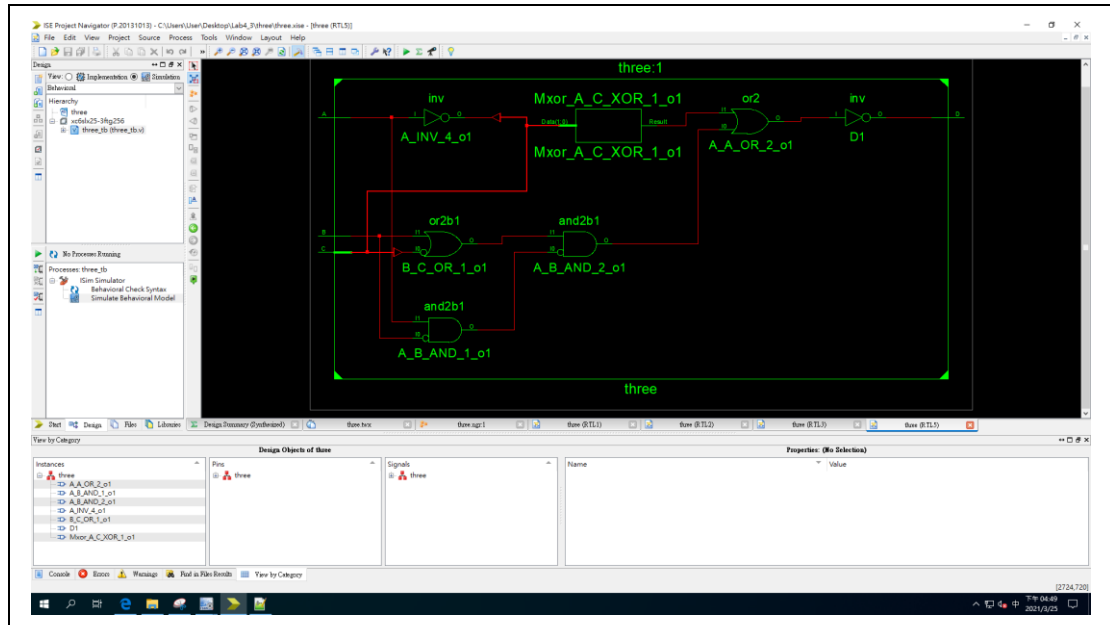
```

#### 4. Simulation result





## 邏輯系統實驗 Lab4 第 1 組



### ● 心得

#### 1. 組員一 陳旭祺

這次是使用 Xilinx ISE 的 EDA tool(已被 Vivado 取代)進行 verilog 合成與分析，第一題為半加器、第二題為全加器、第三題為不知道什麼功能的基本邏輯電路，實驗流程為寫 Verilog code 與要測試其功能的 testbench→在 Xilinx ISE 下編譯並查看波形是否符合預期結果→在 Xilinx ISE 下看 report，有 path delay 和實際合成的 gate-level diagram 可以看，算是一堂認識 Verilog 的暖身實驗課。

#### 2. 組員二 張振杰

這次實驗主要是學習如何操作 verilog，這個軟件與以往所學的 C++語法有明顯差別，而且裡面基本都是在使用邏輯運算子來計算結果，但我覺得執行結果圖還蠻簡潔易懂的。

#### 3. 組員三 何啟造

這次的實驗是寫 verilog，整體來說不會太難，就先按照講義的寫法並輔以選設學到的邏輯閘觀念做一遍就好了，也讓我們認識了 verilog 的各種功能，算是非常有趣的一次實驗。