

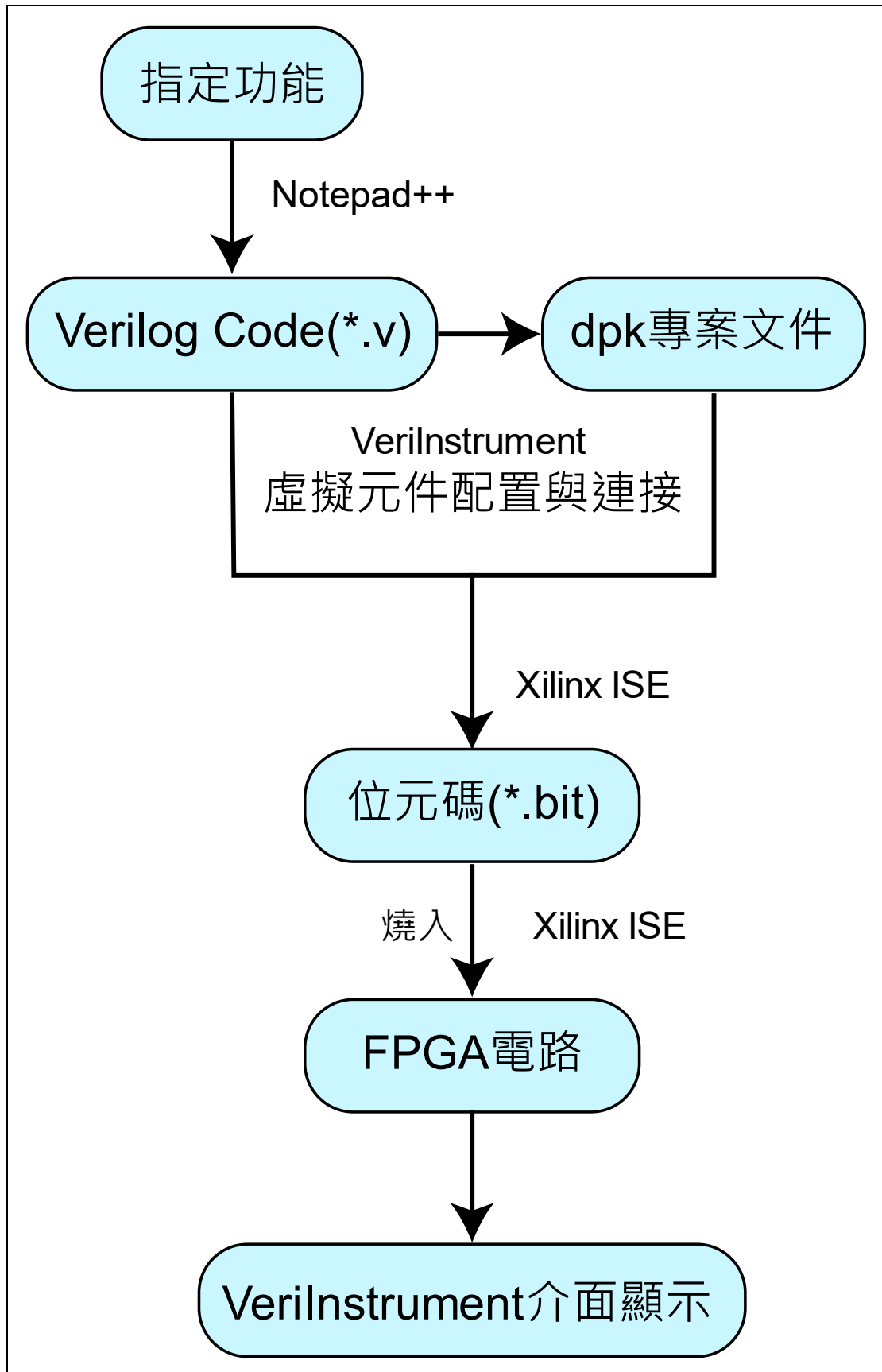
邏輯系統實驗

Lab 7

2021/04/22(四)

第 1 組	
組員姓名	學號
陳旭祺	E24099059
張振杰	E24085034
何啟造	E34085337

● 實驗流程圖



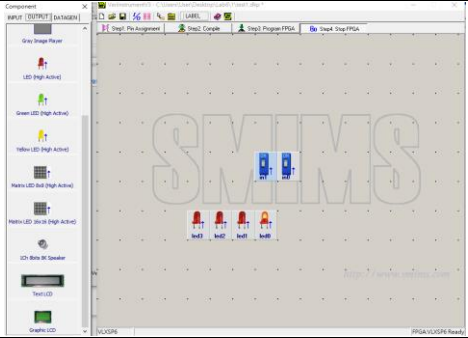
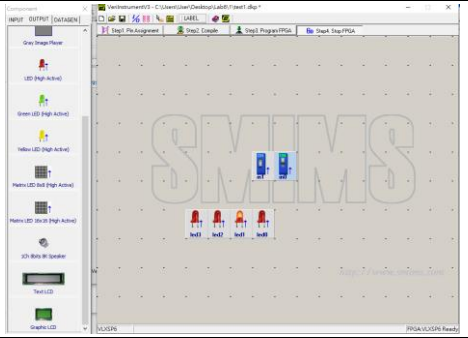
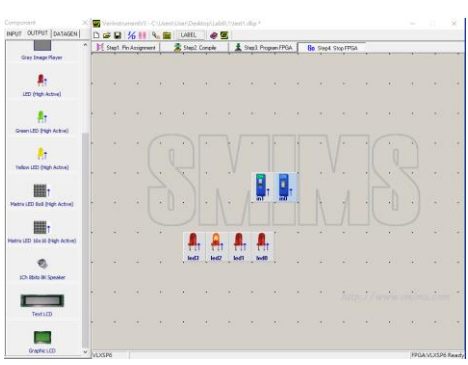
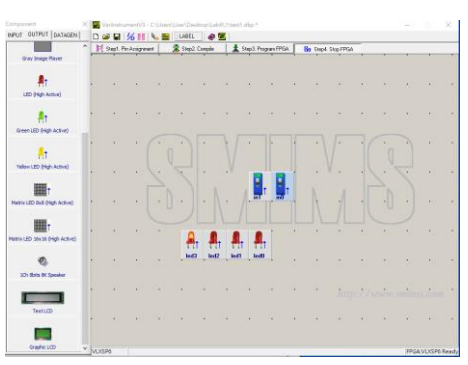
● 實作題(一): 指撥開關與 LED 之使用

1. Verilog Code

```
module showLED(led0,led1,led2,led3,in0,in1,clk);
    input clk,in0,in1;
    output led0,led1,led2,led3;
    reg led0,led1,led2,led3;

    always@(in0 or in1) begin
        case({in1,in0})
            2'b00: {led3,led2,led1,led0}=4'b0001;
            2'b01: {led3,led2,led1,led0}=4'b0010;
            2'b10: {led3,led2,led1,led0}=4'b0100;
            2'b11: {led3,led2,led1,led0}=4'b1000;
        endcase
    end
endmodule
```

2. VerilInstrument 虛擬裝置

$(in0, in1) = (1, 1)$	$(in0, in1) = (0, 1)$
	
$(in0, in1) = (1, 0)$	$(in0, in1) = (0, 0)$
	

功能解釋

同上次實驗六實作(一)的七段顯示器，差別是這次用軟體去模擬實際電路

● 實作題(二): 七段顯示器

1. Verilog Code

```

module SevenSeg(dout,din,clk);
    input  [3:0] din;
    input          clk;
    output [6:0] dout;
    reg      [6:0] dout;

    always@(din) begin
        case(din)
            4'b0000:dout = 7'b0111111;
            4'b0001:dout = 7'b0000110;
            4'b0010:dout = 7'b1011011;
            4'b0011:dout = 7'b1001111;
            4'b0100:dout = 7'b1100110;
            4'b0101:dout = 7'b1101101;
            4'b0110:dout = 7'b1111101;
            4'b0111:dout = 7'b0000111;
            4'b1000:dout = 7'b1111111;
            4'b1001:dout = 7'b1101111;
            4'b1010:dout = 7'b1110111;
            4'b1011:dout = 7'b1111100;
            4'b1100:dout = 7'b0111001;
            4'b1101:dout = 7'b1011110;
            4'b1110:dout = 7'b1111001;
            4'b1111:dout = 7'b1110001;
            default:dout = 7'b0000000;
        endcase
    end
endmodule

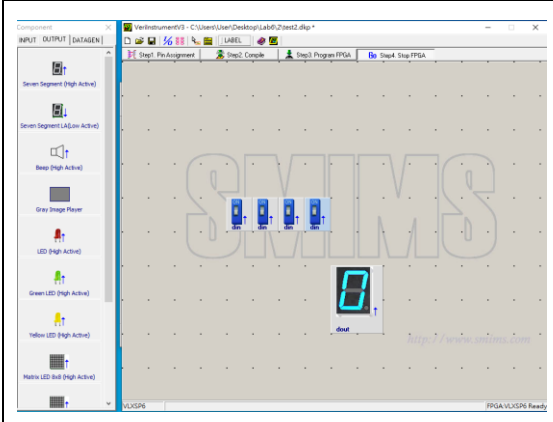
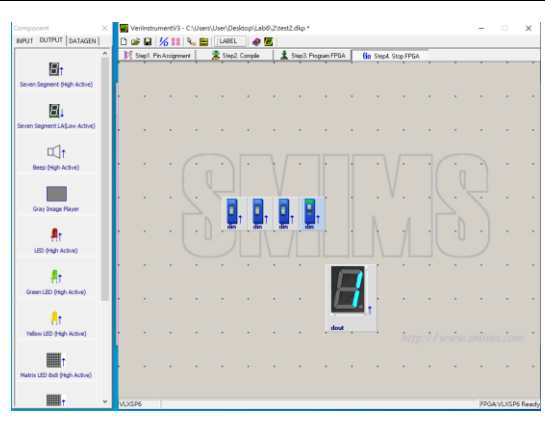
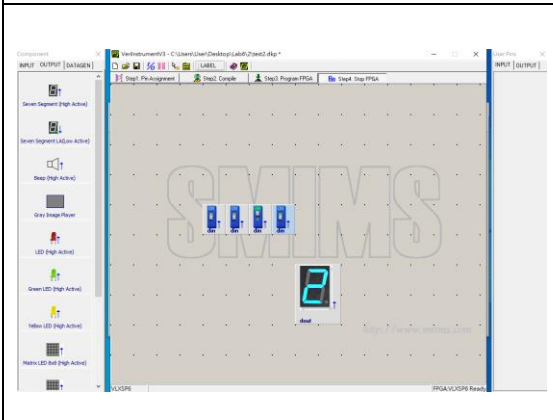
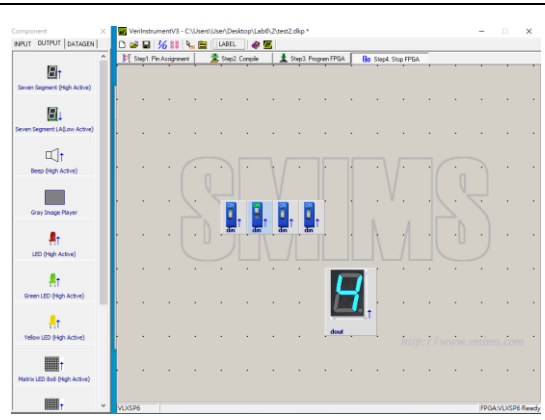
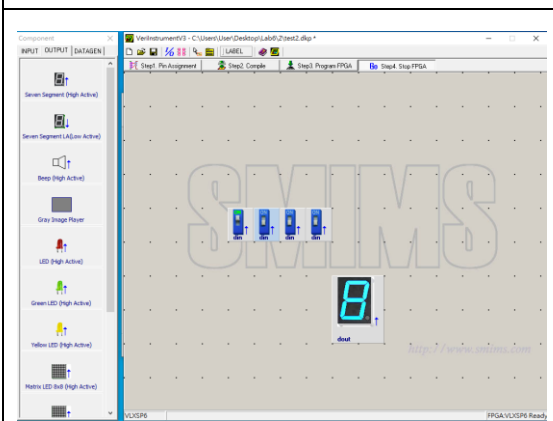
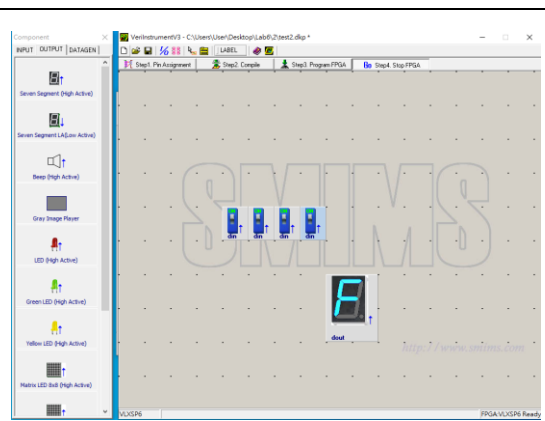
```

功能解釋

同上次實驗六實作(三)的七段顯示器，差別是這次用軟體去模擬實際電路

2. VerilInstrument 虛擬裝置

分別測比較具有代表性的數字 0、1、2、4、8、F(10)

	
	
	
<p>功能解釋</p>	
<p>同上次實驗六實作(三)的七段顯示器，差別是這次用軟體去模擬實際電路</p>	

● 挑戰題(一): 十進位顯示器

1. Verilog Code

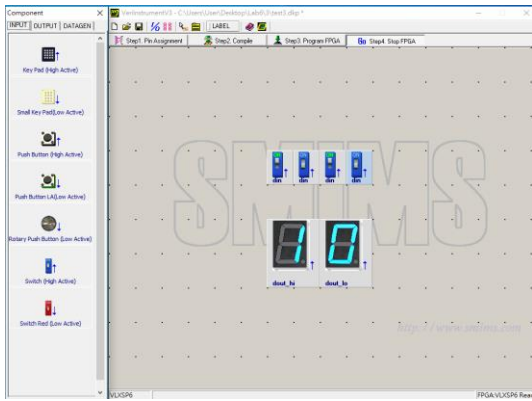
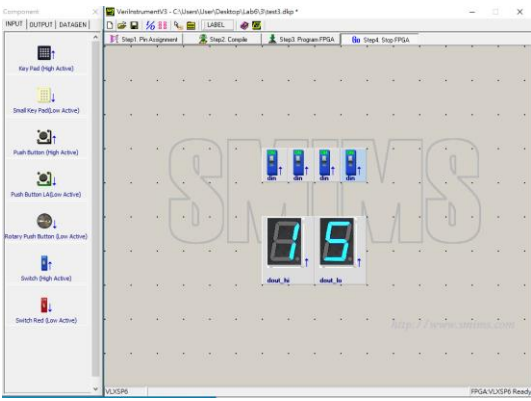
```
`include "SevenSeg.v"

module dec4bits(dout_hi,dout_lo,din,clk);
    input  [3:0] din;
    input          clk;
    output [6:0]  dout_hi, dout_lo;
    wire  [6:0]  din_hi, din_lo;

    SevenSeg u1(dout_hi,din_hi,clk);
    SevenSeg u2(dout_lo,din_lo,clk);

    assign din_hi = din / 10;
    assign din_lo = din % 10;
endmodule
```

2. VerilInstrument 虛擬裝置

10	15
	
功能解釋	
Include 兩次實作(二)的 module，功能與實作二類似，差別只是將輸入除以 10，使顯示器是以 10 進位制顯示	

● 心得

1. 組員一 陳旭祺

與上次實驗六一樣皆是用 FPGA 實作，差別是 [SMIMS\(北瀚科技\)](#) 台灣小型公司開發的 VerilInstrument 軟體工具，雖然一樣是把電路燒到 FPGA 去做驗證，不過省去我們接線的繁瑣步驟直接使用現成軟體提供的 component，以下我在[官網](#)查到的產品介紹

VerilInstrument	售價(USD)：100
Overview	
The SMIMS VerilInstrument provides the best and interesting digital logic design learning environment for a beginner. Through drag-and-play those virtual components, you may combine to different hardware configuration. You may learn the digital logic design every time and everywhere, just connect the SMIMS board to PC though USB 2.0.	
Key Features	
★ Support all SMIMS® FPGA Platforms of Xilinx®/Altera® ★ Download programmer ☑ Support USB download. ☑ Fast and easy FPGA download from PC ★ Component List 7-segment LED LED Lamp (Red, Green, Yellow) DIP Switch Tact Switch Keypad Switch Text LCD Graph LCD Label	

2. 組員二 張振杰

這次實驗與上次實驗在前半部分操作差不多一樣，但在後半部則是將燒錄 FPGA 板子的動作改為在燒入 FPGA 並在 VerilInstrument 軟體上操作。VerilInstrument 可以將完成好的邏輯系統直接模擬並觀察是否有誤，其大大地避免了將錯誤的邏輯系統燒入 FPGA 後才發現問題的事情，也讓工程師可以直觀了解系統模擬結果。

3. 組員三 何啟造

這次的實驗和之前差不多都是運用 FPGA 來進行實驗。但這一次運用到軟體 VerilInstrument 來進行操作。用起來的感覺像是 Pspice，可以很方便的把虛擬硬件組裝起來，避免了真正使用硬件的不方便以及成本問題。